

A Study on the Improvement of Stability Through Improved PLL Control Techniques Based on PFC and LLC Topology With Integrated Transformer

통합 변압기를 적용한 PFC, LLC 토폴로지 기반 개선된 PLL 제어기법을 통한 안정성 향상에 관한 연구

Yong-Jin Shin · Woo-Cheol Lee

신용진* · 이우철†

Abstract

This paper presents an enhanced Phase-Locked Loop (PLL) method using the Goertzel algorithm to improve the performance of Power Factor Correction (PFC) and LLC resonant converters. By eliminating the current sensor at the DC-link capacitor and allowing the LLC converter to operate within the PFC converter's frequency range, the new method ensures efficient Zero Current Switching (ZCS). Experimental and simulation results demonstrate that our approach significantly improves the power factor compared to conventional methods. This solution simplifies the circuit design, reduces overall costs, and increases system reliability.

Key Words

Phase locked loop, Goertzel algorithm, LLC resonant converter, Bridgeless boost PFC converter, Integrated transformer, Sensorless

1. 서론

현대 사회에 들어가면서 전력 장치들은 점차 고밀도, 고집적화가 되었다. 이로 인해 제어방법 또한 다양해지며 정밀성이 요구되고 있다. 제어에는 한가지 기준값이 필요하며 일반적으로 계통 전압을 사용한다. 하지만 가정에서 사용하는 경우 멀티탭, 연장선 등을 사용하면서 주변 노이즈에 영향을 많이 받는다. 이로 인해 입력되는 신호가 왜곡될 수 있으며 주변 제어 설비로 인해 노이즈가 유입될 수 있다. 이 경우 정확한 기준 신호를 설정할 수 없으며 설계대로 제어가 되지 않는다[1].

최근 국내에서는 컴퓨터의 파워 서플라이에는 PFC(Power Factor Correction)를 설치하는 추세이지만 그 외의 장비들은 PFC 설치를 하지 않으며 이로 인해 역률이 낮아진다. 물론 PFC를 설치한 기기에서도 제어 오류로 역률 조정이 되지 않는 경우가 발생한다. 역률이 낮아지면 전기사용 요금 또한 증가한다[2].

본 논문에서는 이산 푸리에 변환(Discrete Fourier Transform, DFT)의 일종인 고르첼 알고리즘을 사용하여 기본파 성분을 추출한다. 추출한 기본파 성분을 제어에 사용한다. 이 방식은 기존의 D-Q 변환이나 PI, PID 제어기를 통한 제어 신호 검출

기법보다 정확하며 기존의 DFT나 고속 푸리에 변환(Fast Fourier Transform, FFT)을 통한 주파수 검출기법보다 빠르게 기본파 성분을 검출한다[3][4].

본 논문에서 제시하는 방식의 효율성을 증명하기 위해 소용량 가정용으로 설계된 Boost Bridgeless PFC Converter와 LLC Resonant Converter 2-stage로 구성된 토폴로지에 통합 변압기를 적용한 회로를 제작하고 여기에 적용하여 사용한다. 특수한 상황을 적용하기 위해 Boost Bridgeless PFC Converter의 출력단이자 LLC Resonant Converter 입력단에 전류 센서를 제거하여 센서리스 상태로 실험을 진행한다[5]. Boost Bridgeless PFC Converter의 경우 앞단에 노이즈 필터를 약하게 설정하여 주변 노이즈에 취약하게 설계하였다. 또한, 회로 자체에서도 노이즈가 강하게 발생할 수 있는 조건으로 설정하여 기존의 PLL(Phase-Locked Loop)과 제안하는 PLL을 동일 조건에서 동작시켜 실험을 진행하고 효율성을 확인하였다[6].

2. 기존의 PLL 기법

기존에는 주로 유효, 무효 전력변환을 통한 PLL 기법을 주로 사용한다. 이는, 전압과 전류를 검출하여 D-Q 변환을 통해 유효분과 무효분을 추출하여 위상을 검출하고 이를 PI 제어기를

† Corresponding Author : School of Electronic & Electrical Engineering, Institute for Information Technology Convergence, Hankyong National University, Anseong, Korea
E-mail: woocheol@hknu.ac.kr
<https://orcid.org/0000-0002-9880-5258>

*School of Electronic & Electrical Engineering, Hankyong National University, Korea
<https://orcid.org/0009-0003-8374-3765>

Received: Apr. 23, 2024 Revised: May. 30, 2024 Accepted: Jun. 03, 2024

Copyright © The Korean Institute of Electrical Engineers

This is an Open-Access article distributed under the terms of the Creative Commons Attribution

Non-Commercial License (<http://creativecommons.org/licenses/by-nc/4.0/>) which permits unrestricted non-commercial use, distribution, and reproduction in any medium, provided the original work is properly cited.

사용해서 보정하며 최종적인 제어 기준 신호를 검출하는 PLL 제어기법을 예로 든다.

그림 1은 기존 D-Q 변환을 사용한 PLL의 순서도이다. 전원 전압 V_g 를 받은 후 단상이므로 -1을 곱하고 Clarke 변환과 Park 변환, 즉 D-Q 변환을 통해 $V_{g, dq}$ 와 $V_{g, dc}$ 를 생성한다. 이를 저역 통과 필터를 통과시켜 필터링시켜준다. 이들을 PI 제어기를 통과시켜 제어 기준 신호 $\sin \theta$ 와 $\cos \theta$ 를 만들고 다시 D-Q 변환에 사용한다.

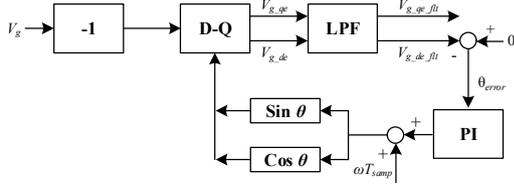


그림 1 기존의 D-Q 변환 PLL
Fig. 1 Conventional D-Q transformation PLL

3. 제안하는 PLL 기법

본 논문에서 제안하는 PLL 기법은 고르첼 알고리즘을 사용하여 계통의 기본파 성분의 위상을 추출하는 기법이다. 주파수 검출기법의 하나인 고르첼 알고리즘은 기존의 DFT, FFT와는 다르게 사전에 계산하여 상수로 처리하여 연산시간을 감소시키는 (1, 2) 식이 존재한다. 고르첼 알고리즘은 DFT의 일종이다. 따라서 나이퀴스트 샘플링 이론에 따라서 sampling frequency(f_s)는 target frequency(f_t)보다 최소 2배여야 한다[7].

$$\omega_k = \frac{2\pi k}{N} \quad (1)$$

$$\sin(\omega_k) = \sin\left(\frac{2\pi k}{N}\right), \cos(\omega_k) = \cos\left(\frac{2\pi k}{N}\right) \quad (2)$$

DFT는 샘플링 수가 N일 때 이산신호 x_n (단, n 은 0부터 $N-1$ 의 정수)과 해당 주파수(k)에서 DFT 출력 $X(k)$ 는 (3) 식으로 정의된다. 이식을 Z-영역에서 고르첼 알고리즘의 전달함수로 (4) 식과 같이 나타낼 수 있다. 이를 그림 2로 표현할 수 있다[8][9].

$$X(k) = \sum_{n=0}^{N-1} x_n \cdot e^{-j\frac{2\pi nk}{N}} \quad (3)$$

$$H_k(z) = \frac{1 - W_N^{-k} z^{-1}}{1 - 2\cos\left(\frac{2\pi k}{N}\right)z^{-1} + z^{-2}} \quad (4)$$

입력받는 전압값 V_g 를 제외한 필요한 상수를 계산하여 필요한 순간마다 계산하여 θ 를 갱신한다. 이를 통해 제어에 필요한 $\sin \theta$ 과 $\cos \theta$ 을 생성한다.

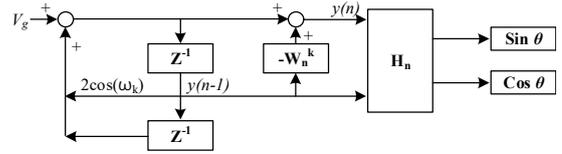


그림 2 제안하는 고르첼 알고리즘 PLL
Fig. 2 Proposed Goertzel algorithm PLL

4. 적용한 토폴로지

본 연구에서 제안하는 PLL 기법의 효율성을 검증하기 위하여 외부 노이즈에 영향을 많이 받으며 회로 자체적으로도 스위칭 노이즈가 많게 회로를 설계하였다. Fig. 3에서 볼 수 있듯이 Boost Bridgeless PFC Converter와 LLC Resonant Converter 2-stage에 CDC 측 전류 센서를 제거하고 통합 변압기를 적용하였다[10].

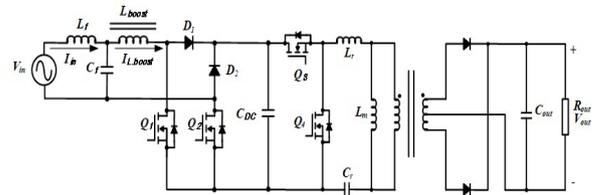


그림 3 사용한 PFC-LLC 2-stage 회로
Fig. 3 Used PFC-LLC 2-stage Circuit

4.1 Boost Bridgeless PFC Converter

그림 4는 사용한 Boost Bridgeless PFC Converter이다.

그림 5의 기존 Full-bridge PFC Converter와는 다르게 한 번에 통과하는 반도체 소자가 3개에서 2개로 감소하는 장점이 있다. 기존의 PFC의 경우 5개의 다이오드($D1 \sim D4$, D_{boost})과 1개의 스위치($Q1$)로 총 6개의 반도체 소자를 사용하였다. 반면 사용한 PFC의 경우 다이오드 2개($D1 \sim D2$), 스위치 2개($Q1, Q2$) 총 4개의 소자를 사용하여 경제성 있게 설계하였다. 또한, 임계 동동 모드(Critical Conduction Mode, CRM)로 동작한다. CRM 동작 특성상 동작 주파수가 가변 되어 필터를 크게 설계해야 한다. 하지만 본연구에서는 노이즈가 많이 필요하므로 부스트 인덕터를 필터 후단에 배치하여 부스트 인덕터로 인한 노이즈가 직접적으로 회로에 영향을 주게 설계하였다.

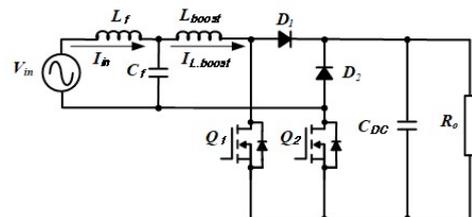


그림 4 부스트 브릿지리스 PFC 컨버터 회로
Fig. 4 Boost Bridgeless PFC Converter Circuit

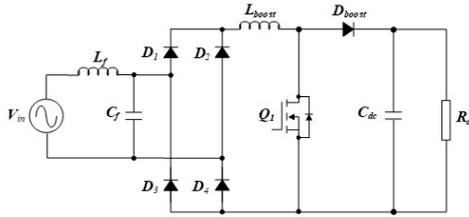


그림 5 기존 PFC 컨버터 회로
Fig. 5 Conventional PFC Converter Circuit

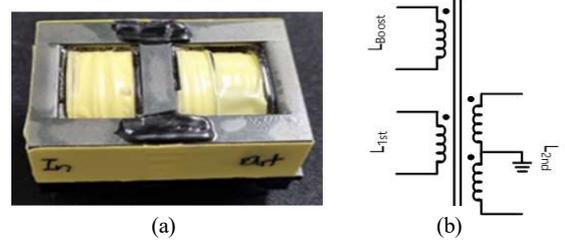


그림 7 통합 변압기 (a) 실물 (b) 내부 회로
Fig. 7 Integrated transformer (a) Used one (b) Inner Circuit

4.2 LLC 공진형 Converter

그림 6은 Half-bridge 구조인 LLC 공진형 컨버터이다. 기본적으로 DC 전압을 인가받아 스위칭 동작을 수행하는 스위칭 소자 2개(Q3, Q4)와 정류 다이오드 2개(D3, D4), 센터 탭 변압기를 사용하였다. 변압기 1차 측의 누설 인덕턴스 Lm과 자화 인덕턴스 Lr를 고려하여 공진 커패시터 Cr를 설정하여 공진 주파수를 61.58kHz로 설정한다. Q3, Q4의 듀티비를 50%로 설정하여 2차측으로 넘어가는 전류 파형은 최대한 대칭으로 제작하며 영전류 스위칭 동작(Zero Current Switching, ZCS)영역에서 동작시킨다.

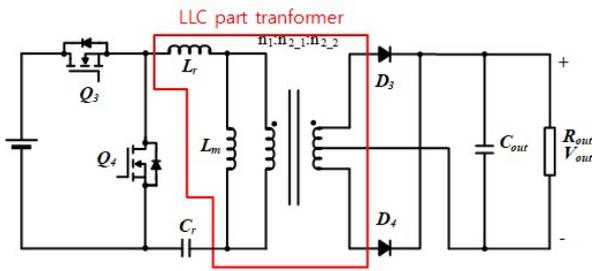


그림 6 LLC 공진형 컨버터 회로
Fig. 6 LLC Resonant Converter Circuit

4.3 통합 변압기

그림 7(a)은 본 연구에서 사용한 통합 변압기이다. 그림 7(b)은 내부 회로도이며 표 1은 파라미터이다. 통합 변압기는 변압기와 인덕터를 한 코어로 통합한 회로이다. 차지하는 면적과 비용이 감소한다는 장점이 있다. 하지만 별개의 인덕터와 변압기를 한 코어에 통합함으로써 기존에는 상호 자속의 영향이 없던 것이 발생하며 이를 고려해주어야 하는 단점을 가지고 있다.

표 1 통합 변압기 파라미터
Table 1 Integrated transformer parameter

Parameter	Value
PFC Inductance (LBoost)	1.2 mH
LLC 1st Self-Inductance (L1st)	1.058 mH
LLC 2nd Self-Inductance (L2nd)	1.485 mH

5. 시뮬레이션

본 연구에서는 PSIM을 이용하여 시뮬레이션을 진행하였다. 그림 8은 기존 PLL과 제안하는 PLL의 차이를 시뮬레이션으로 표현하였다. 입력 파형은 220V의 기본파에 피크 값이 20V이며 -10° 위상 지연된 제 5 고조파, 50Vpp인 잡음을 주어서 왜곡을 발생시켰다. 기존의 Angle 오차 (Conventional_Angle_Error)와 제안하는 Angle 오차 (ProPosed_Angle_Error)를 비교하면 제안하는 Angle 오차는 +0.5° ~ -0.5°인 반면 기존의 Angle 오차는 +5° ~ -3°를 형성하여 6배 이상의 오차가 발생된다. 이는 기존 PLL의 경우 정밀한 제어 신호로 사용하기 어렵다는 결과가 도출된다.

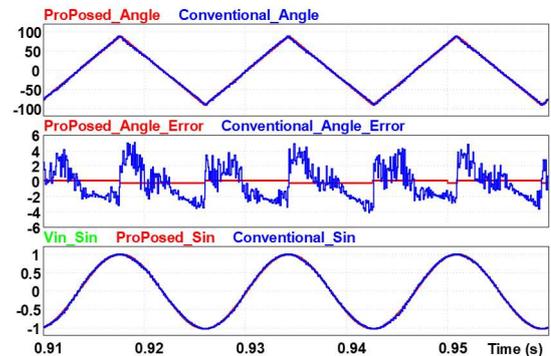


그림 8 기존 PLL과 제안하는 PLL 비교
Fig. 8 Comparison of Conventional PLL & proposed PLL

시뮬레이션에서 사용한 회로는 그림 9를 사용하였다. PSIM에서 지원하는 회로 중 센터 탭 변압기와 통합 변압기를 구현할 수 없어서 풀 브릿지 전파 정류회로와 커플링 인덕터를 이용하여 구현하였다. 또한, LLC 입력으로 들어가는 전류 센서를 제거하였다. 여기에 다른 제어 값 및 설정을 일치시키고 LLC 동작 주파수가 PFC 동작 주파수 안의 범위에서 동작하게 설정한 후 PLL만 각각 D-Q 변환을 통한 PLL과 고르첸 알고리즘을 이용한 PLL로 다르게 적용하여 시뮬레이션을 진행하였다.

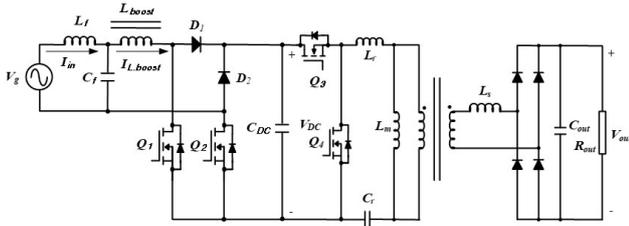


그림 9 PFC, LLC PSIM 시뮬레이션 회로
Fig. 9 PFC, LLC 2-stage circuit simulation on PSIM

표 2 계통 전원 주파수 성분
Table 2 Grid power frequency component

Parameter	Amplitude	phase
Fundamental wave (60 Hz)	307.33 V	0°
3rd harmonic (180 Hz)	0.51 V	80.3°
5th harmonic (300 Hz)	2.39 V	-52.5°
7th harmonic (420 Hz)	3.06 V	11.7°
9th harmonic (540 Hz)	1.75 V	122.8°

그림 10은 D-Q 변환을 이용한 기존 PLL이 적용된 시뮬레이션의 파형이다. 위에서부터 Vg는 입력 전압, Angle은 PLL로 인해 생성된 제어 신호의 위상값이다. ILboost는 부스트 인덕터에 흐르는 전류값이며 Iin은 Boost Bridgeless PFC Converter에 입력되는 전류이다. Vdc는 그림 9의 CDC에 걸리는 전압값이며 Vout은 그림 9의 Rout에 걸리는 출력전압이다. Vg는 계통 전원을 110Vrms로 강압시킨 파형에 첨두치 간의 전압이 10V인 노이즈를 추가하였다. 계통에 포함된 고조파 성분은 표 2의 홀수 고조파만 첨가하였다. 강압 기능이 없는 PFC이므로 Vg보다 큰 170V를 Vdc로 설정하였다. Vout은 50V로 설정하였다. 그림 10의 ILboost와 Iin을 보면 부분적으로 영전류에서 스위칭이 되지 않아 전류 왜곡이 발생 됨을 볼 수 있다.

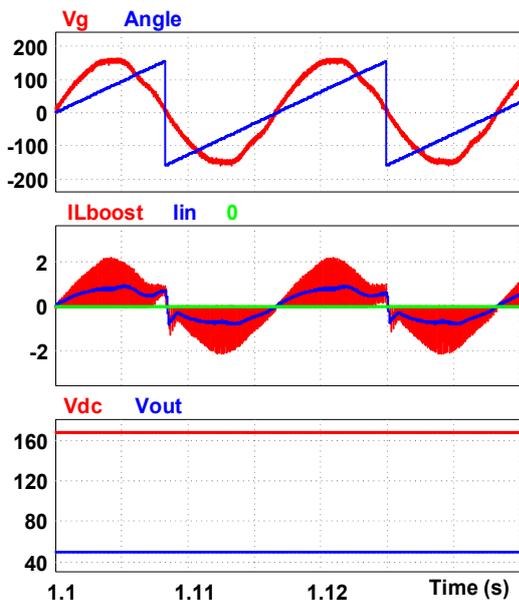


그림 10 기존 PLL 시뮬레이션 파형
Fig. 10 Conventional PLL simulation waveforms

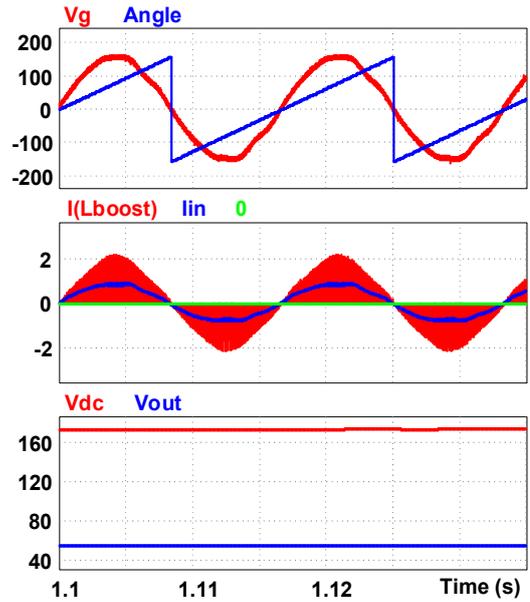


그림 11 제안하는 PLL 시뮬레이션 파형
Fig. 11 Proposed PLL simulation waveforms

그림 11은 제안하는 PLL 기법을 적용한 시뮬레이션이다. 그림 10과 같이 Vg는 계통 전원을 110Vrms로 강압시킨 파형에 첨두치 간의 전압이 10V인 노이즈를 추가하였다. 또한, 그림 10의 Vdc와 같은 이유로 그림 11의 Vdc는 170V로 설정하였다. 출력 전압 Vout은 55V로 설정하였다. 그림 10과는 다르게 그림 11의 I(Lboost)과 Iin은 영전류에서 비교적 원활하게 스위칭 동작을 진행하며 전류 왜곡이 비교적 적게 발생함을 볼 수 있다.

6. 실험

그림 12는 실험하기 위해 구성한 실제 회로의 사진이다. 그림 12(a)는 Boost Bridgeless PFC Converter이다. 회로는 그림 4와 같이 구성하였다. 그림 12(b)는 Half-bridge 구조인 LLC 공진형 컨버터와 제어 사용되는 DSP 보드와 AD 검출 보드이다. LLC 공진형 컨버터의 경우 그림 6과 같이 구성하였다.

실험은 각각 PFC 동작 주파수 범위 외에 LLC 동작 주파수가 있는 경우 상황(상황 I)에서 기존 PLL 기법과 제안하는 PLL 기법에 대하여 실험을 진행한다. 이후 PFC 동작 주파수 범위 내에서 LLC 동작 주파수가 있는 경우(상황 II) 또한 기존 PLL 기법과 제안하는 PLL 기법 각각 진행하여 서로 비교하여 효율성을 증명한다. 표 3은 상황 I, 상황 II 양쪽에서 공통으로 실험에 사용된 파라미터이다.

표 4는 LLC 동작 주파수가 PFC 동작 주파수 범위 외에 있는 상황 I의 경우를 대표하여 실험한 파라미터이다. PFC는 5kHz에서 40kHz 내에서 주파수 조절을 하였으며 LLC는 50kHz로 동작시켜 PFC 동작 주파수 범위 외에 존재하도록 설정하였다.

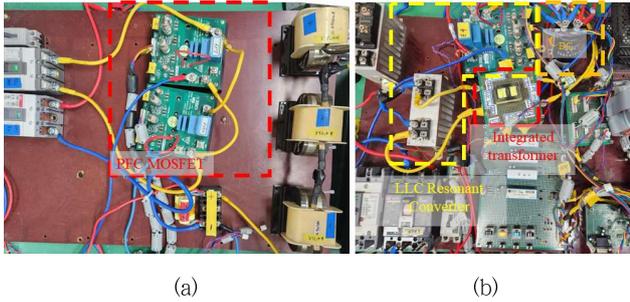


그림 12 실험한 회로 (a) 부스트 브릿지리스 PFC 컨버터 회로 (b) LLC 공진형 컨버터 회로와 제어 보드
 Fig. 12 Experimental Circuit Hardware (a) Boost Bridgeless PFC Converter Circuit (b) LLC Resonant Converter Circuit with MCU

표 3 실험 공통 파라미터

Table 3 Experimental parameter

Parameter	Value
Input power Voltage : V_g	100 Vrms
Resonant frequency : f_r	61.58 kHz
Out maximum power : P_{out}	300W

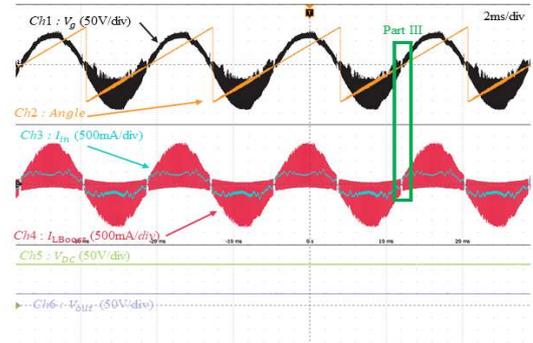
표 4 상황 I 실험 파라미터

Table 4 Situation I experimental parameter

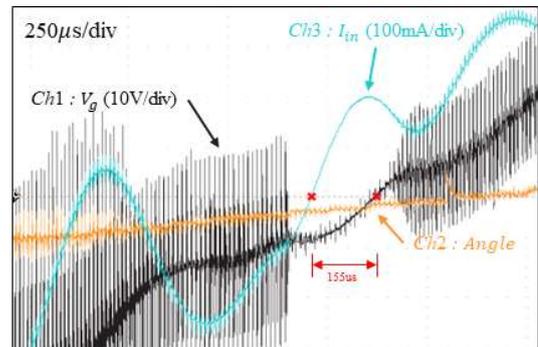
Parameter	Value
PFC Converter operating frequency band : f_{PFC}	5 k ~ 40 kHz
LLC Converter operating frequency : f_{LLC}	50 kHz
DC link Capacitor Voltage : V_{DC}	160 V
LLC output Voltage : V_{out}	50 V

그림 13은 상황 I의 조건 아래에서 기존 PLL로 동작시킨 파형이다. 이때 PFC 동작 주파수 범위는 5kHz~40kHz이며 LLC 동작 주파수는 50kHz이다. 그림 13(a)의 Ch 1은 V_g 로 입력되는 전원 전압이다. 계통 전원에 슬라이다스를 연결하여 100Vrms를 만들었다. 슬라이다스 자체에는 인덕터 성분이 존재함으로 인해 전반적으로 노이즈와 왜곡이 심하다. 특히 음의 영역에서 전압 왜곡이 심해진다. 노이즈 또한 강하게 입력되는 것을 볼 수 있다. Ch 2는 Angle 값으로 기존 PLL 방식으로 산출된 라디안 값으로 $-\pi \sim \pi$ 까지의 범위에서 존재한다. LLC 동작 주파수가 PFC 동작 주파수 범위에 밖에 있으므로 토폴로지는 비교적 안정적으로 작동됨을 볼 수 있다. Ch 3 I_{in} 은 PFC 입력전류로 전원에서 인가되는 파형이다. V_g 가 노이즈가 심하여서 시뮬레이션과는 다르게 더 전류 왜곡이 발생하였다. Ch 4 I_{LBoost} 는 통합 변압기의 한 부분이자 PFC의 부스트 인덕터에 인가되는 전류이다. Ch 5 V_{DC} 는 DC 링크 커패시터에 걸리는 전압값이다. Ch 6 V_{out} 은 LLC에서 출력되는 전압이다. 주변 노이즈로 인해 원활한 CRM 동작이 되지 않으며 입력전류와 전압 또한 왜곡이 심함을 볼 수 있다. 그림 13(b)는 그림 13(a)의 Part III의 V_g , Angle, I_{in} 을 모아 확대한 파형이다. 이상적인 PFC의 경우 V_g , Angle, I_{in} 모두 영점에서

교차해야 하지만 각각 지연이 있음을 볼 수 있다.



(a)



(b)

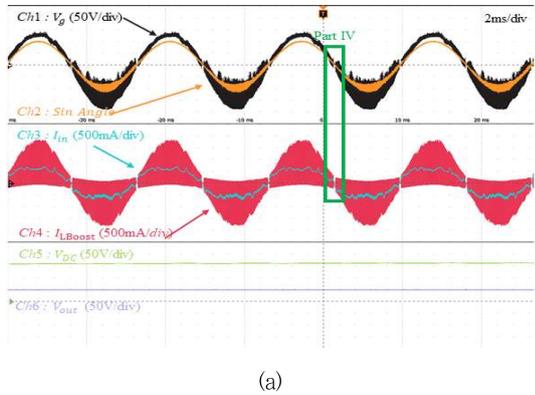
그림 13 기존 PLL 상황 I 실험 파형 (a) 롤 파형 (b) Part III 파형
 Fig. 13 Conventional PLL situation I experiment waveforms (a) Roll waveform (b) Part III waveform

그림 14는 상황 I의 조건 아래에서 제안하는 PLL로 동작시킨 파형이다. 이때 PFC 동작 주파수 범위는 5kHz~40kHz이며 LLC 동작 주파수는 50kHz이다. 그림 14(a)의 Ch 2는 Sin Angle 값으로 제안하는 PLL 방식으로 산출된 sin 함수값이다. 그림 13과 같은 이유로 토폴로지는 비교적 안정적으로 작동됨을 볼 수 있다. 그림 14(b)는 그림 14(a)의 Part IV의 V_g , Sin Angle, I_{in} 을 모아 확대한 파형이다. 기존 PLL 방식보다 제어 신호의 기준인 전원 전압과 산출한 기준 제어 신호의 오차가 200 μ s에서 30 μ s 이하로 떨어진 것을 볼 수 있다.

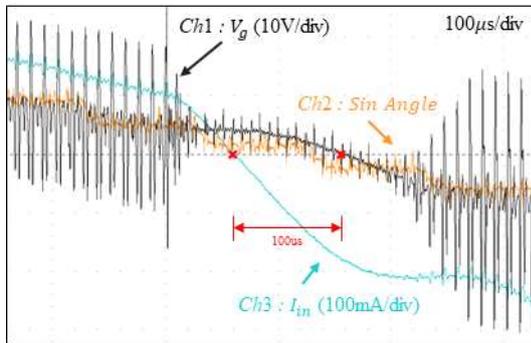
표 5는 LLC 동작 주파수가 PFC 동작 주파수 범위 내에 있는 상황 II의 경우를 대표하여 실험한 파라미터이다. PFC는 5kHz에서 50kHz 내에서 주파수 조절을 하였으며 LLC는 41kHz로 동작시켜 PFC 동작 주파수 범위 내에 존재하도록 설정하였다.

그림 15는 상황 II의 조건 아래에서 기존 PLL로 동작시킨 파형이다. 이때 PFC 동작 주파수 범위는 5kHz~50kHz이며 LLC 동작 주파수는 41kHz이다. 그림 15(a)의 채널 설명은 그림 13(a)와 일치한다. 하지만 Ch 3, Ch 4를 보면 CRM 동작이 직관적으로 파손된 것을 알 수 있다. 이는 통합 변압기 내부에서 자속의 상쇄 보강이 증가하여 노이즈가 강해지며 이로 인해 제어 신호 Angle의 오차가 증가하기 때문이다. 이는 그

림 13(a)의 Ch 2와 그림 15(a)의 Ch 2를 비교하면 알 수 있다. 14(b)는 그림 15(a)의 Part V의 V_g , Angle, I_{in} 을 모아 확대한 파형이다. 이상적인 PFC의 경우 V_g , Angle, I_{in} 모두 영점에서 교차해야 하지만 각각 지연이 있음을 볼 수 있다.



(a)



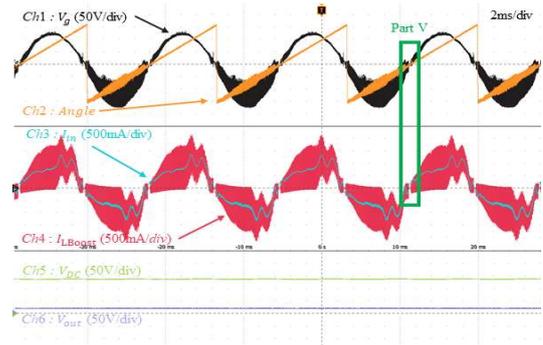
(b)

그림 14 제안하는 PLL 상황 I 실험 파형 (a) 를 파형 (b) Part IV 파형
Fig. 14 Proposed PLL situation I experiment waveforms (a) Roll waveform (b) Part IV waveform

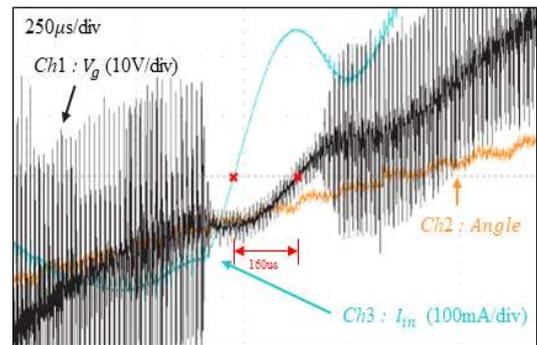
표 5 상황 II 실험 파라미터
Table 5 Situation II experimental parameter

Parameter	Value
PFC Converter operating frequency band : fPFC	5 k ~ 50 kHz
LLC Converter operating frequency : fLLC	41 kHz
DC link Capacitor Voltage : VDC	140 V
LLC output Voltage : Vout	30 V

그림 16은 상황 II의 조건 아래에서 제한하는 PLL로 동작시킨 파형이다. 이때 PFC 동작 주파수 범위는 5kHz~50kHz이며 LLC 동작 주파수는 41kHz이다. 그림 16(a)의 Ch 2는 Sin Angle 값으로 제한하는 PLL 방식으로 산출된 sin 함숫값이다. 그림 15와 같은 이유로 토폴로지는 비교적 안정적으로 작동됨을 볼 수 있다. 그림 16(b)는 그림 16(a)의 Part VI의 V_g , Sin Angle, I_{in} 을 모아 확대한 파형이다. 그림 15(a)의 Ch 3, Ch 4와 그림 16(a)의 Ch 3, Ch 4와 비교하면 제안하는 PLL 기법을 적용하였을 때 상황 II에서도 CRM 동작이 진행되는 것을 볼 수 있다.



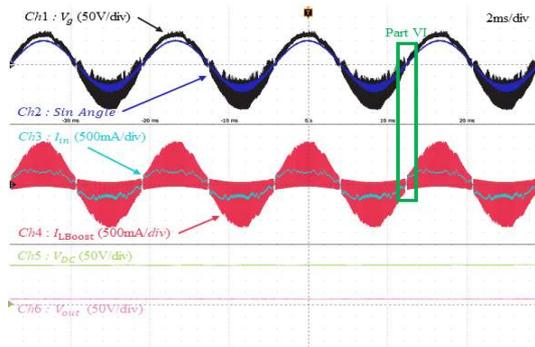
(a)



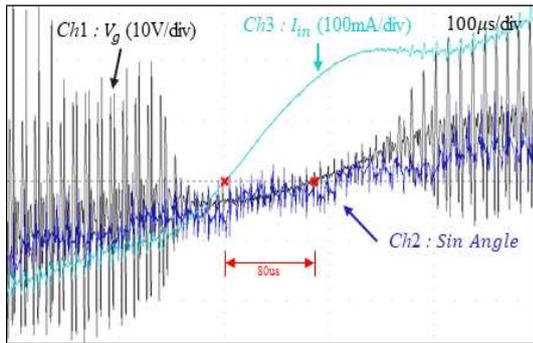
(b)

그림 15 기존 PLL 상황 II 실험 파형 (a) 를 파형 (b) Part V 파형
Fig. 15 Conventional PLL situation II experiment waveforms (a) Roll waveform (b) Part V waveform

표 6은 그림 13(b), 그림 14(b), 그림 15(b), 그림 16(b)를 정리하여 상황별 제어 신호 Angle과 V_g , I_{in} 의 위상차를 시간과 각도로 각각 표기하였다. 같은 상황인 상황 I에서 기존 PLL 상황 I(Conventional PLL situation I)과 제안하는 PLL 상황 I(Proposed PLL situation I)는 단순 Angle과 V_g 비교만으로도 오차가 약 160ms, 3도 차이 나는 사실을 볼 수 있다. 하지만 이 경우에도 각각 그림 13(a)와 그림 14(a)에서 볼 수 있는 것과 같이 비교적 안정된 파형이 나오는 것을 확인할 수 있다. 하지만 상황 II가 되면 안정성이 떨어져 기존 PLL의 경우 자속의 불규칙한 쇄교, 상쇄로 노이즈가 소폭 증가하여 기존 PLL 상황 I와 기존 PLL 상황 II를 비교하면 오차가 각각 약 40µs씩 증가한다. 하지만 제안하는 PLL의 경우 V_g 의 경우 오히려 감소하였으며 I_{in} 의 경우 24µs 증가한 것을 볼 수 있다. 또한, 이는 V_g 와 I_{in} 의 위상차 또한 기존 PLL보다 제안하는 PLL이 적음을 볼 수 있다. 따라서 제안하는 PLL이 기존 PLL보다 오차가 적고 이로 인해 역률이 소폭 증가 되었으며 시스템 안정도가 증가함을 그림 15(a)와 그림 16(a)를 비교하며 알 수 있다.



(a)



(b)

그림 16 제안하는 PLL 상황 II 실험 파형 (a) 롤 파형 (b) Part VI 파형
Fig. 16 Proposed PLL situation II experiment waveforms (a) Roll waveform (b) Part VI waveform

표 6 실험 위상 지연 정도
Table 6 Experimental phase delay

Parameter	Vg vs Angle		Iin vs Angle	
	Time	degree	Time	degree
Conventional PLL situation I	195us	4.21	350us	7.56
Proposed PLL situation I	-32us	-0.69	68us	1.47
Conventional PLL situation II	230us	4.97	390us	8.42
Proposed PLL situation II	12us	0.26	92us	1.99

7. 결론

본 논문에서는 Boost Bridgeless PFC Converter와 LLC Resonant Converter로 구성된 회로에서 PFC 컨버터 출력 측 전류 센서를 제거하는 회로에서 기존의 한계를 극복할 수 있는 기법을 제시하였다. 기존의 PLL 기법은 노이즈에 취약하여, PFC 컨버터의 동작 주파수 범위 내에 LLC 컨버터의 동작 주파수가 존재할 경우 그림 10과 그림 15(a)에서 볼 수 있듯이 영전류에서 스위칭 동작을 수행하지 못하며 전류 왜곡이 발생하였다. 그러나 본 논문에서 제안하는 고르첼 알고리즘을 적용한 PLL 기법을 사용한 결과, 기존의 PFC 컨버터 동작 주파수 범위 위에 LLC 컨버터 동작 주파수가 존재하는 경우인

그림 14와 PFC 컨버터 동작 주파수 범위 내에 LLC 컨버터 동작 주파수가 존재하는 경우인 그림 11과 그림 16 모두에서 전류 왜곡이 감소함을 실험과 시뮬레이션을 통해 확인하였다.

실험과 시뮬레이션 결과가 일치하지 않은 이유로는 실제 실험에서는 통합 변압기를 사용하였으나 시뮬레이션에서는 이를 커플링 인덕터로 대체했기 때문이며, 시뮬레이션에서는 센터 탭 변압기를 사용하지 못한 점도 영향을 주었다. 또한, 실험에서는 노이즈가 지속적으로 변화했지만, 시뮬레이션에서는 제한된 범위로 노이즈가 인가되는 한계가 있었다. 슬라이더스 사용으로 인해 입력 전압에 노이즈와 왜곡이 발생하였으나, 전원 노이즈가 개선된다면 시뮬레이션과 유사한 파형이 발생할 것으로 예상된다.

종합적으로, 시뮬레이션과 실험 모두에서 제안하는 PLL 기법을 적용했을 때 LLC 컨버터의 동작 주파수가 PFC 컨버터의 동작 주파수 범위 내에 존재하든 그 이상에 존재하든 유사한 동작을 보이며 전류의 왜곡이 감소함을 확인할 수 있었다. 또한, 기존 PLL의 경우 Vg와 Iin의 위상차가 3.5°였으나, 제안하는 PLL의 경우 1.7°로 감소하여 위상차가 절반 이하로 줄어들었음을 확인하였다. 이는 고르첼 알고리즘 기반의 PLL 기법이 역률 보정과 시스템 성능향상에 효과적임을 입증한다.

Acknowledgements

This work was supported by the National Reaserch Foundation of Korea(NRF) grant funded by the Korea government(MSIT) (NO. 2021R1F1A1059253)

References

- [1] S.-B. Yoo, H.-J. Kim, and H.-S. Lee, "The Effect Analysis in case of the Countermeasure and Trouble-Examples for the Noise of Control Equipment System," Journal of the Korean Institute of Illuminating and Electrical Installation Engineers, vol. 19, no. 6, pp. 75-81, 2005.
- [2] Terms and Conditions of Electricity Supply, KEPCO, Chapter 5 Article 43.
- [3] D.-H. Kang, D.-K. Choi, and K.-B. Lee, "Performance Improvement of an Anti-Islanding Algorithm using the Variation of Reactive Power with an Improved DFT Method," The Transactions of Korean Institute of Power Electronics, vol. 15, no. 3, pp. 179-187, 2010.
- [4] K.-R. Ryu, J.-P. Lee, T.-J. Kim, D.-W. Yoo, E.-H. Song, and B.-D. Min, "A Method of PLL(Phase-Locked Loop) using FFT," The Transactions of Korean Institute of Power Electronics, vol. 13, no. 3, pp. 206-212, 2008.
- [5] W.-C. Lee, Y.-J. Shin, and H.-J. Byeon, "Two-Stage System of CRM PFC Converter and LLC Resonant Converter to Reduce Frequency Interference in Integrated

저자소개

Transformers,” Journal of Electrical Engineering & Technology, February 2024.

- [6] Y.-Y. Kim, “A Study on a PFC PWM Boost Converter Having an Auxiliary Resonant Circuit for High Power Density Under Low EMI Noise,” 2015.
- [7] C.-W. Park, and W.-C. Lee, “Study on Arc Detection Based on Frequency Analysis with Goertzel Algorithm,” The transactions of the Korean Institute of Electrical Engineers, vol. 73, no. 1, pp. 122-128, 2024.
- [8] Alan V. Oppenheim, Ronald W. Schafer, and John R. Buck, discrete-time signal processing Second Edition, Prentice Hall, pp.633-635, 1999.
- [9] J.-S. Lim, and T.-K. Lee, “The Algorithm Development on Harmonic Analysis for Estimating the Quality of 1-Phase/3-Phase Power System,” The Transactions of Korean Institute of Power Electronics, vol. 28, no. 1, pp. 15-21, 2023.
- [10] C.-T. Lee, “A LED driver circuit using bridgeless boost PFC and LLC resonant converter,” 2014.



신용진(Yong-Jin Shin)

He received the B.S. in electrical engineering from Hankyong National University, Ansung, Korea, in 2023. Since 2023, he is pursuing the M.S. at the same university. His research interests are in photovoltaic systems, inverter and converter.



이우철(Woo-Cheol Lee)

He received the B.S. and M.S. and Ph.D. degrees in electrical engineering from Hanyang University, Seoul, Korea, in 1987, 1989, 2001, respectively. From 1988 to 1998, he was with the R&D Institute, Hyosung Industries Company Ltd., as a Senior Researcher, Seoul, Korea. He was a Visiting Professor in the department of Electrical Engineering at Virginia Polytechnic Institute and State University, Virginia, USA from 2007 to 2009. Since 2002, he has been with Hankyong National University, Ansung, Korea, where he is a Professor with the Department of Electrical, Electronic and Control Engineering. His research interests are in the areas of power converter, APF, UPS, and electrical drives.