

Design of Single-Phase PLL with DC Offset Rejection

DC 오프셋 제거 성능을 갖는 단상 PLL 설계

Chan-Gi Lee · Kwang-Woon Lee · Sang-Il Kim

이찬기* · 이광운** · 김상일†

Abstract

To control grid-connected inverters, grid synchronization is essential, and a Phase-Locked Loop (PLL) technique is commonly applied for this purpose. Among various PLL techniques, the Second Order Generalized Integrator (SOGI)-PLL is widely used due to its robustness against external noise. However, when the grid voltage contains a DC offset, the SOGI-PLL exhibits steady-state error, which is a limitation. To address this issue, this paper applies the Cascade SOGI (CSOGI)-PLL, which has a robust characteristic against DC offsets. Applying the CSOGI-PLL requires designing the parameters of a fourth-order transfer function and tracking the grid frequency by adjusting the resonant frequency. In this paper, a simplified design method using a second-order system for the damping coefficient of the CSOGI with a complex transfer function is proposed. A separate PLL is employed to update the resonant frequency of the CSOGI in response to rapid frequency variations, and frequency limitation and anti-windup control are applied to ensure stability during transients. To validate the effectiveness of the proposed method, simulations and experiments were conducted.

Key Words

Phase-Locked Loop, Second-Order Generalized Integrator, Cascade SOGI, Anti-windup

1. 서론

현대 전력 시스템에서 재생 에너지의 사용이 급격히 증가하고 있다. 태양광, 풍력, 수력과 같은 재생 에너지원은 환경 보호와 에너지 자원 고갈 문제를 해결하기 위한 중요한 대안으로 자리 잡고 있다. 하지만, 태양광과 풍력과 같은 변동성 있는 재생 에너지원은 전통적인 화석 연료 기반 전력 시스템에 비해 출력 전압과 주파수의 불안정성을 초래할 가능성이 크다. 따라서 재생 에너지 시스템이 성공적으로 작동하기 위해서는 정확한 계통 동기화 기술이 필수적이다. 계통 동기화는 재생 가능 에너지원이 전력 계통에 안정적으로 전력을 공급하기 위해 계통의 주파수와 위상에 맞춰 동작하는 것을 의미한다. 동기화가 제대로 이루어지지 않으면 전력 품질 저하, 시스템 불안정성, 장비 손상과 같은 다양한 문제가 발생할 수 있다. 재생 가능 에너지원의 비율이 높아질수록 이러한 문제를 해결하기 위한 계통 동기화 기술의 중요성은 더욱 커지고 있다[1-2].

계통 동기화를 위해서는 주로 Phase-Locked Loop (PLL) 기법이 사용된다. PLL은 계통과 재생 에너지 시스템 간의 위상 및 주파수 차이를 실시간으로 동기화하는 역할을 한다. 하지만, 계통 전압의 왜곡, 불균형 및 노이즈와 같은 외부 요인은

PLL 성능에 부정적인 영향을 미친다. 계통 전압을 측정하는 과정에서 전압 센서, 아날로그 소자의 열적 변화, A/D 변환기의 비선형 특성으로 인해 DC 오프셋이 발생하며, 이는 PLL 성능에 악영향을 줄 수 있다. 또한 가전에서 DC-Link 전압을 측정하여 PLL을 수행하는 경우, DC 오프셋 전압을 포함한 전압을 통하여 PLL을 수행해야 한다. 따라서 PLL은 정확한 동기화 성능을 유지하기 위해 DC 오프셋의 영향을 없애주어야 한다[3].

기존에 널리 사용되는 Second-Order Generalized Integrator PLL(SOGI-PLL)[4]은 Orthogonal Signal Generator(OSG)기반의 PLL로 고조파 왜곡을 억제하고 전력 품질을 유지하는 데 유리하지만, DC 오프셋 문제에 대한 완벽한 보상을 제공하지 못한다. 따라서 SOGI-PLL은 정상상태 오차를 발생시킨다[5]. 이와 같은 문제를 해결하기 위해 대표적으로 두 가지의 접근법이 있다. 첫 번째 접근법은 SOGI-PLL과 연결된 Embedded Synchronous Reference Frame(SRF)-PLL의 대역폭을 줄이는 방식이다[3]. 이 방법은 시스템의 응답속도가 느려지며, 실시간 동기화 성능이 저하되는 단점이 존재한다. 두 번째 접근법은 SOGI 구조를 수정하여 DC 오프셋을 제거하는 방식으로, Cascade SOGI-PLL(CSOGI), Modified SOGI-PLL(MSOGI), α/β DSC SOGI-PLL, Complex Coefficient Filter(CCF) based PLL,

† Corresponding Author : Dept. of Electrical Engineering, Suncheon University, Korea.

E-mail : sikim@snu.ac.kr

<https://orcid.org/0000-0002-9148-3030>

* Dept. of Electrical Engineering, Suncheon University, Korea.,

<https://orcid.org/0009-0002-4263-4987>

** Div. of Marine Mechatronics, Mokpo National Maritime University, Korea.

<https://orcid.org/0000-0001-7018-1802>

Received : Oct. 07, 2024 Revised : Oct. 28, 2024 Accepted : Oct. 30, 2024

DSC-PLL, SO-SOGI-PLL, MSTOGI-PLL 등 다양한 PLL 기법들이 제안되었다[3, 6-11].

본 논문에서는 여러 가지 방식 중 DC 오프셋 제거와 고조파 감쇠에 우수한 성능을 제공하는 CSOGI-PLL을 선정하여 시뮬레이션 및 실험을 진행하였다. CSOGI-PLL은 두 개의 SOGI가 직렬로 결합된 구조로 4차 전달함수를 가지며, 위상의 변화나 DC-오프셋의 변화와 같은 외란 발생 시 위상 및 주파수 오차가 적은 장점이 있다[6]. 그러나 급격한 주파수 변동 시 과도상태에서 주파수가 크게 흔들리는 불안정이 발생하여 시스템의 안정성이 저하될 수 있다. 또한 감쇠계수(damping coefficient)의 명확한 설계 방법이 제시되어 있지 않다.

본 연구에서는 2차 시스템을 통하여 CSOGI의 감쇠계수를 구하는 간단한 방법을 소개한다. PLL에서 추정된 각속도를 이용해 CSOGI의 공진주파수를 갱신함으로써 계통 주파수 변동에 안정적으로 대응할 수 있도록 제어기를 구성하였다. 또한, CSOGI-PLL의 과도상태 성능을 개선하기 위해 PLL의 추정 주파수 제한과 안티 와인드업 기법을 적용하였다. PSIM을 이용한 시뮬레이션 및 Hardware In the Loop Simulation(HILS) 실험을 통하여 제안된 PLL 구조의 성능을 검증하였다.

2. Second-Order Generalized Integrator (SOGI)

SOGI는 단상 시스템에서 위상, 진폭, 주파수를 정확하게 추적하는 방법으로 널리 사용된다. 특히, 계통에 연결된 시스템에서는 SOGI 기반 PLL이 자주 활용되며, 이 구조는 입력 신호로부터 90도 위상 차이가 나는 두 개의 직교 신호를 생성한다. SOGI는 구현이 간단하면서도 각속도를 갱신하여 주파수 변동에 안정적으로 대응할 수 있다. 또한, 필터링 기능을 갖추고 있어 고조파와 왜곡이 최소화된 신호를 제공하는 장점이 있다[12].

그림 1은 두 개의 적분기를 포함한 SOGI의 블록도이다. SOGI는 계통 전압(v_{grid})을 입력으로 받아 90도 위상 차이가 나는 두 개의 신호 $v_{\alpha 1}$ 과 $v_{\beta 1}$ 을 출력한다. SOGI의 전달함수는 식 (1)과 식 (2)로 나타낼 수 있으며, 각각 대역통과필터와 저역통과필터의 구조를 가진다. 그림 2는 공진주파수 60Hz에서 크기와 위상을 나타내는 Bode plot이다. 공진주파수에서 이득이 1이며, 위상 응답에서 공진주파수를 기준으로 두 신호 간 90도의 위상 차이를 유지하여 정확한 직교 신호가 발생하는 것을 확인할 수 있다.

$$G_1(s) = \frac{v_{\alpha 1}(s)}{v_{grid}(s)} = \frac{k\omega s}{s^2 + k\omega s + \omega^2} \tag{1}$$

$$G_2(s) = \frac{v_{\beta 1}(s)}{v_{grid}(s)} = \frac{k\omega^2}{s^2 + k\omega s + \omega^2} \tag{2}$$

3. CSOGI 구조 및 설계

3.1 CSOGI의 구조

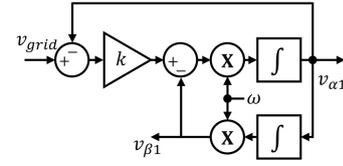


그림 1 SOGI 블록도
Fig. 1 SOGI block diagram

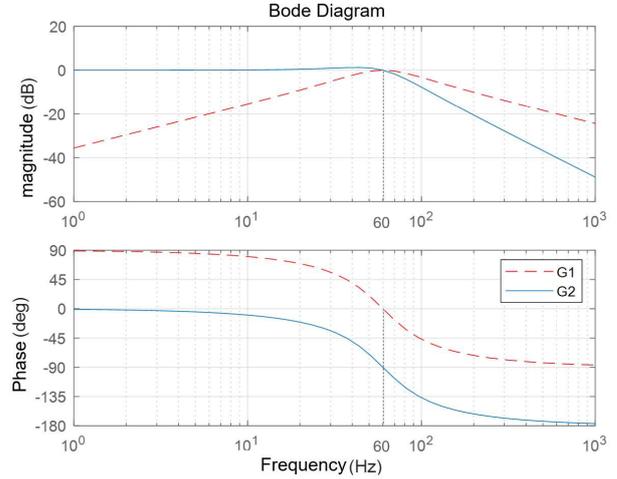


그림 2 SOGI 보드 선도
Fig. 2 SOGI bode plot

단일 SOGI의 출력 중 저역통과필터의 출력은 입력의 DC 오프셋 성분을 제거하지 못하고, 대역통과필터의 출력은 DC 오프셋 성분을 제거한 출력이 나오기 때문에 SOGI 입력에 DC 오프셋이 존재할 경우, 위상 추정에 문제가 발생한다. 이를 해결하기 위한 목적으로 CSOGI가 제안되었다[3]. 그림 3의 CSOGI는 두 개의 SOGI가 직렬로 연결된 형태로 구성되며, 식 (3)과 식 (4)와 같이 4차 전달함수로 표현된다. 각 SOGI 블록은 2차 전달함수로 나타낼 수 있으며, 첫 번째 SOGI 블록의 출력은 두 번째 SOGI 블록의 입력으로 전달된다. 첫 번째 SOGI의 입력은 계통 전압이며 출력은 DC 성분을 효과적으로 감쇠시키는 대역통과필터의 출력($v_{\alpha 1}$)이다. 이를 통해 DC 성분이 제거된 출력($v_{\alpha 1}$)이 두 번째 SOGI 블록의 입력으로 전달되며, 결과적으로 DC 오프셋이 제거된 90도 위상차를 가지는 신호 v_{α} 와 v_{β} 가 생성된다. 그림 4는 CSOGI의 입력과 출력 전압에 대한 Bode plot을 나타내며, 낮은 주파수 영역에서 DC 오프셋이 통과하지 못함을 확인할 수 있다.

$$G_3(s) = \frac{v_{\alpha}(s)}{v_{grid}(s)} = \frac{(k\omega s)^2}{(s^2 + k\omega s + \omega^2)^2} \tag{3}$$

$$G_4(s) = \frac{v_{\beta}(s)}{v_{grid}(s)} = \frac{k^2\omega^3 s}{(s^2 + k\omega s + \omega^2)^2} \tag{4}$$

3.2 CSOGI 설계

기존의 2차의 전달함수를 가지는 SOGI의 경우, 감쇠계수 k 는 2%의 정상상태 수렴 시간(Settling time)으로부터 쉽게 구할 수 있다. 하지만, 4차의 전달함수를 갖는 CSOGI의 감쇠계수는 설계 방법이 명확하게 제시된 바가 없다. 본 논문에서는

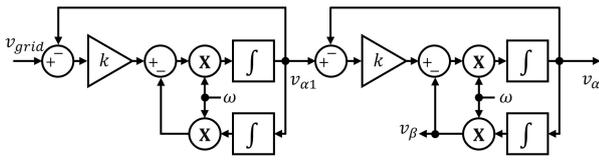


그림 3 CSOGI 블록도
Fig. 3 CSOGI block diagram

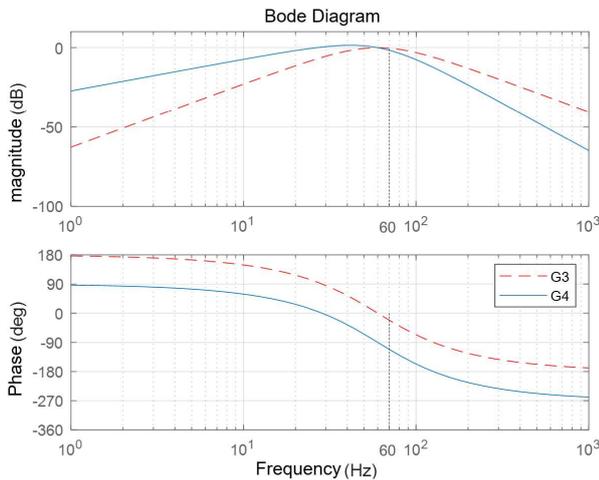


그림 4 CSOGI 보드 선도
Fig. 4 CSOGI bode plot

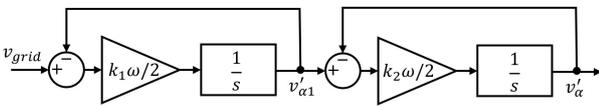


그림 5 2차 시스템 블록도
Fig. 5 Second-order system(SOS) block diagram

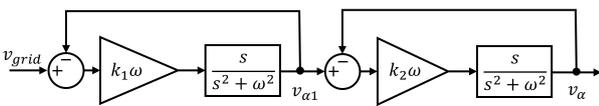


그림 6 4차 시스템 블록도
Fig. 6 Fourth-order system(FOS) block diagram

4차 전달함수를 갖는 CSOGI의 감쇠계수를 설계하기 위해 주요 극점(dominant pole)을 활용하는 방법을 제안하고, 이를 시뮬레이션을 통해 검증하였다.

그림 5는 Second-Order System(SOS)의 블록도이고 그림 6은 Fourth-Order System(FOS)의 블록도이다. 4차 시스템은 네 개의 극점을 가지며, 이 중 허수축에 가장 가까운 실수부의 극점을 주요 극점으로 볼 수 있다. 이러한 주요 극점은 시스템 과도 응답에 가장 큰 영향을 미친다. 식 (6)과 (7)에 나타난 바와 같이 4차 시스템의 극점들의 실수부는 두 종류의 값을 가지며, 이를 2차 시스템으로 근사하여 설계할 수 있다. 식 (5)는 식 (3)의 2차 전달함수의 곱으로 나타낸 것이다. 이 전달함수들의 특성 방정식으로부터 극점을 계산하고, 시스템 응답에

가장 큰 영향을 미치는 주요 극점을 식별하였다. 식 (5)의 근은 식 (6)과 식 (7)이며, 실수부의 극점은 $k_1\omega/2$ 와 $k_2\omega/2$ 이다. 이 두 개의 실수부의 극점을 이용하여 식 (8)과 같이 2차 시스템을 설계할 수 있으며, 이를 그림 5와 같이 나타낼 수 있다. 이를 통해 4차 시스템(FOS)의 주요 극점은 2차 시스템(SOS)의 극점과 유사한 특성을 가지며, 그 결과 4차 시스템이 2차 시스템과 유사한 응답성을 나타낸다는 것을 알 수 있다. 따라서 2차 시스템과 4차 시스템의 주요 극점이 동일하며, 두 시스템의 응답성도 유사하다는 결론을 도출할 수 있다.

결론적으로 CSOGI의 2% Settling time을 설계하는 것은 식 (9)의 2차 전달함수의 수렴 시간을 설계하는 것으로 볼 수 있다. 식 (9)는 식 (8)을 전개한 결과이다.

$$G_5(s) = \frac{v_\alpha(s)}{v_{grid}(s)} = \frac{k_1\omega s}{s^2 + k_1\omega s + \omega^2} \cdot \frac{k_2\omega s}{s^2 + k_2\omega s + \omega^2} \quad (5)$$

$$s_1 = -\frac{k_1\omega}{2} \pm j\frac{\omega}{2}\sqrt{4-k_1^2} \quad (6)$$

$$s_2 = -\frac{k_2\omega}{2} \pm j\frac{\omega}{2}\sqrt{4-k_2^2} \quad (7)$$

$$G_6(s) = \frac{v'_\alpha(s)}{v_{grid}(s)} = \frac{\frac{k_1\omega}{2}}{s + \frac{k_1\omega}{2}} \cdot \frac{\frac{k_2\omega}{2}}{s + \frac{k_2\omega}{2}} \quad (8)$$

$$G_6(s) = \frac{k_1k_2\left(\frac{\omega}{2}\right)^2}{s^2 + (k_1 + k_2)\left(\frac{\omega}{2}\right)s + k_1k_2\left(\frac{\omega}{2}\right)^2} \quad (9)$$

$$G_6(s) = \frac{\omega^2}{s^2 + 2\zeta\omega's + \omega^2} \quad (10)$$

식 (9)를 식 (10)과 같게 표현하면, 결과는 식 (11)과 식 (12)처럼 된다. 이때, 임계 감쇠 시스템으로 설계하기 위해, k_1 과 k_2 를 동일하게 설정하였다. 식 (13)에서는 k_1 과 k_2 를 k 값으로 통일하였으며, ω' 는 식 (14)와 같이 정의되고, ζ 는 1로 설정된다. 따라서, 임계 감쇠 영역에서의 2% Settling time을 2차 시스템으로 쉽게 구할 수 있다. 임계 감쇠 시스템은 비선형방정식을 가지므로, MATLAB을 이용하여 식 (15)로 근사하였다[13].

$$\omega' = \frac{\omega}{2} \sqrt{k_1k_2} \quad (11)$$

$$\zeta = \frac{k_1 + k_2}{2\sqrt{k_1k_2}} \quad (12)$$

$$k_1 = k_2 = k \quad (13)$$

$$\omega' = \frac{\omega}{2}k \quad (14)$$

$$T_s \approx \frac{5.834}{\omega'} \quad (15)$$

그림 7은 SOS와 CSOGI의 응답 특성을 보여준다. [3]에서 최적의 k 값에서의 2% Settling time을 이용해 그림 7과 같이 설계하였다. [3]에 따르면, 2% Settling time은 26.9ms이며, 본 논문에서 제안한 2차 설계 시스템에 이를 적용하면 ω' 은

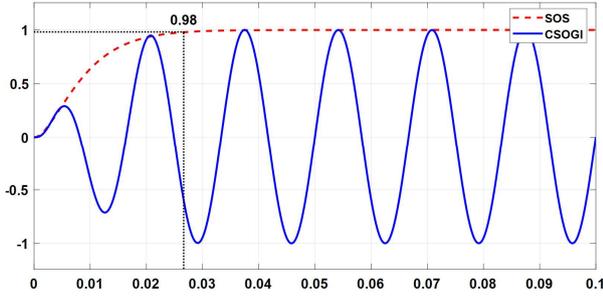


그림 7 SOS와 CSOGI의 응답성 시뮬레이션
Fig. 7 Response simulation of SOS and CSOGI

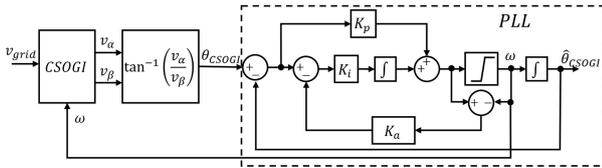


그림 8 PLL 전체 블록도
Fig. 8 PLL block diagram

216.88, k 는 1.1506이 된다. 이 값들을 기반으로 시뮬레이션한 결과가 그림 7이며, 이를 통해 SOS의 계단 응답과 CSOGI의 정현파 응답이 동일함을 확인할 수 있다.

4. 안티 와인드업이 적용된 PLL

그림 8은 전체 CSOGI-PLL의 전체 제어 블록도를 나타낸다. CSOGI는 입력의 DC 오프셋을 제거함으로써 계통 위상 동기화의 정확성을 향상시킨다. 공진 각속도 ω 는 PLL에 의해 피드백되어 갱신된다. CSOGI-PLL의 구조는 DC 오프셋 제거와 더불어 고주파 잡음 및 고조파를 억제하는 우수한 필터링 성능을 제공한다.

CSOGI는 계통 전압과 동상인 신호(v_α) 및 90도 위상차를 가진 신호(v_β)를 생성하며, 이 신호들을 이용하여 계통의 위상(θ_{CSOGI})을 추정한다. 국제전기기술위원회(IEC)에서 제정한 IEC 60038 표준은 전력망의 표준 전압 및 주파수를 규정하고 있다. 이 표준에 따르면, 전력망 주파수는 50Hz 또는 60Hz로 명시되어 있으나, 실제 운영 중에는 기준주파수에 $\pm 5\text{Hz}$ 내외로 변동이 발생할 수 있다[14]. 따라서 전력망에 연결된 전기 기기들은 이러한 변동 범위 내에서 안정적으로 작동해야 하며, 이를 위해 45Hz에서 65Hz에 이르는 넓은 주파수 범위를 지원하는 설계가 필수적이다. 이러한 설계 요구는 다양한 환경에서 기기의 신뢰성을 보장하는 데 중요한 역할을 한다. 이를 위해 본 연구에서는 별도의 PLL을 이용하여 각속도 ω 를 추정하고 이를 적분하여 $\hat{\theta}_{CSOGI}$ 를 추정한다. 이때, 추정된 각속도 ω 는 다시 CSOGI에 피드백되어 변동하는 주파수에 효과적으로 대응할 수 있도록 하였다. 그러나 주파수의 급격한 변동으로 인해 과도상태에서 CSOGI의 공진주파수를 잘못 추정하게 되면 시스템이 불안정해질 수 있다. 이에 본 연구에서는 안정성을 개선하기 위해 일정 범위(40Hz~70Hz)로 주파수를 제한하였다. 하지만, 주파수 제한으로 인하여 PLL에서의 와인드업(Windup) 문제가 발생함을 확인하였다. 이러한 문제를 해

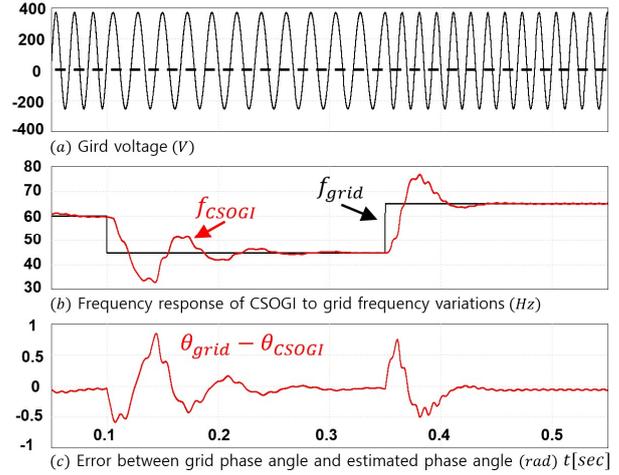


그림 9 주파수 제한이 적용되지 않은 CSOGI
Fig. 9 CSOGI without frequency limitation

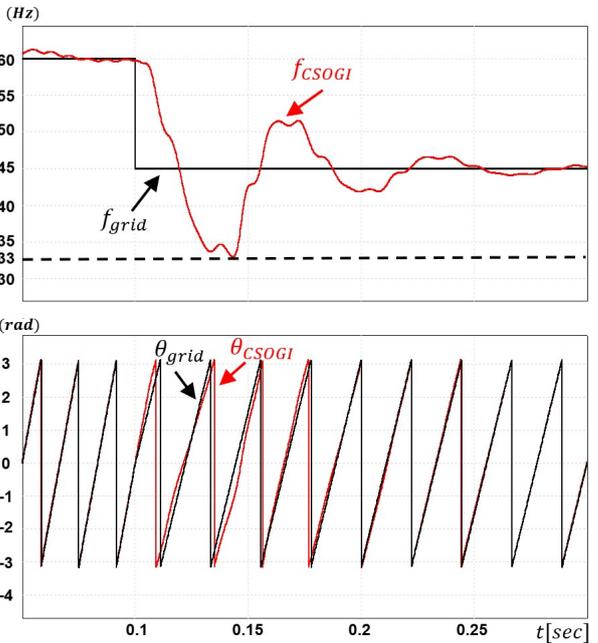


그림 10 주파수 변동에 대한 CSOGI의 과도상태
Fig. 10 Transient response of the CSOGI under frequency variations

결하기 위해, 안티 와인드업(Anti-windup)을 추가함으로써 2% 이내의 정상상태에 수렴하는 시간을 단축하고 추정 위상의 오차를 줄여 시스템의 안정성을 향상시켰다.

5. 시뮬레이션 및 실험 결과

5.1 시뮬레이션 결과

본 논문의 시뮬레이션에서는 DC 오프셋이 존재하는 계통 전압에서 주파수가 급격히 변동하는 상황을 가정하고, 이러한 상황에서 주파수 제한과 안티와인드업 제어가 적용되기 전후의 성능을 비교 및 분석하였다. 그림 9는 PLL에서 주파수 제한이 적용되지 않은 경우의 계통 전압, 계통 주파수(f_{grid}) 변동에 따른 CSOGI-PLL의 PLL 추정 주파수(f_{CSOGI}), 그리고 계

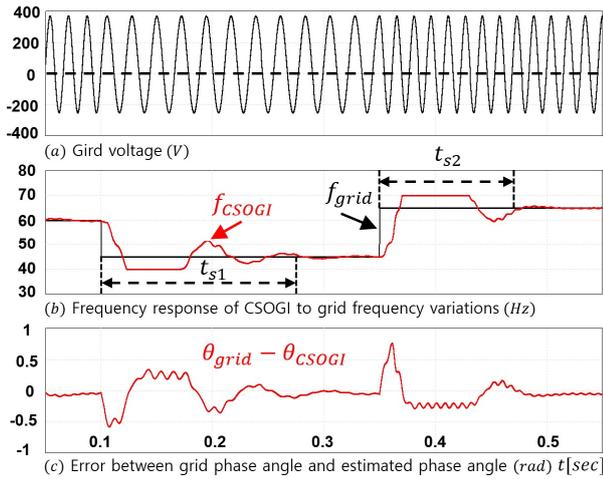


그림 11 주파수 제한이 적용된 CSOGI
Fig. 11 CSOGI with frequency limitation

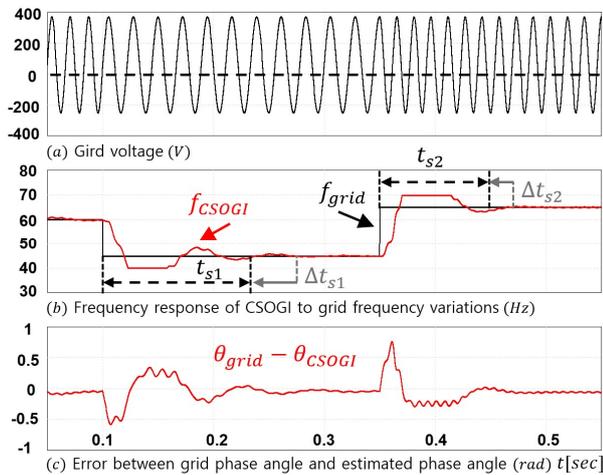


그림 12 주파수 제한 및 안티 와인드업이 적용된 CSOGI
Fig. 12 CSOGI with frequency limitation and anti-windup

통 위상(θ_{grid})과 추정 위상(θ_{CSOGI})의 오차에 대한 시뮬레이션 파형을 나타낸다. 그림 9(a)는 DC 오프셋이 포함된 계통 전압의 파형이다. 그림 9(b)는 계통 주파수 변동에 대 CSOGI-PLL의 주파수 응답을 나타낸다. 계통 주파수는 0.1초에서 60Hz에서 45Hz로, 0.35초에서 45Hz에서 65Hz로 변경하였다. 그림 9(c)는 계통 위상과 추정된 위상 간의 오차를 나타낸다. 그림 10은 계통 주파수가 60Hz에서 45Hz로 변동할 때 주파수 제한이 적용되지 않은 상황에서 과도응답을 확대한 것이다. 이때, 추정된 주파수는 약 33Hz로 떨어져 계통 주파수 변동 시 주파수의 흔들림이 매우 큼을 확인할 수 있다. 또한, 계통 주파수 변동 시 계통 위상과 추정 위상 간의 차이가 큼을 확인할 수 있다. 주파수 변동을 억제하기 위하여 그림 8과 같이 PLL의 주파수를 40Hz~70Hz로 제한하였다. 그림 11은 안티 와인드업 없이 주파수 제한만 적용된 경우의 CSOGI-PLL 성능을 나타낸다. 그림 11(b)의 t_{s1} 과 t_{s2} 는 2% Settling time이다. 이를 통하여 계통 주파수 변동 시에 추정 주파수가 잘 제한됨을 확인할 수 있다. 그림 11(c)는 주파수 제한이 적용됨에 따라 계통 위상(θ_{grid})과 추정 위상(θ_{CSOGI})과의 오차가 감소하는 것을 나타낸다. 그러나 주파수 제한이 적용되면서 정상상태에 도달

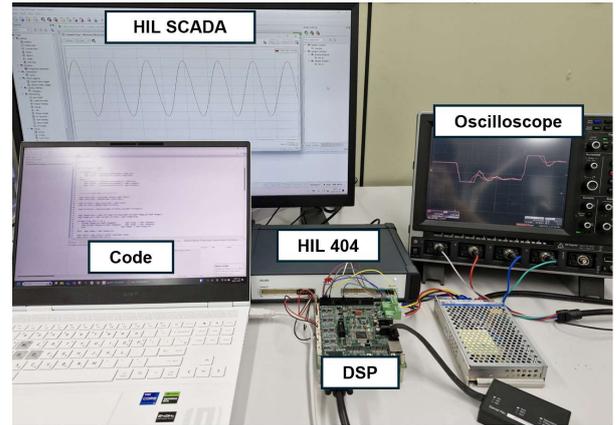


그림 13 실험 환경
Fig. 13 Experimental setup

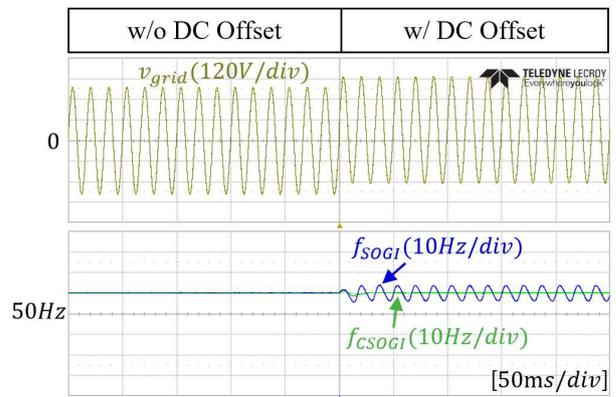


그림 14 DC 오프셋이 포함된 계통 전압에 대한 SOGI, CSOGI 주파수 응답
Fig. 14 SOGI, CSOGI frequency response to grid voltage with DC offset

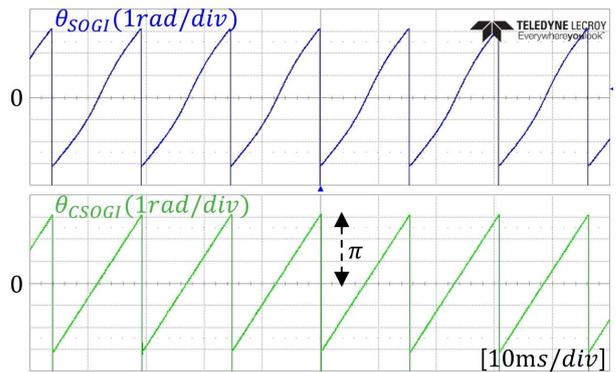


그림 15 DC 오프셋이 포함된 계통의 위상각
Fig. 15 Phase angle of grid with DC offset

하는 시간이 증가되었음을 확인할 수 있다. 이는 PLL의 적분기가 주파수 제한 시에 오차를 계속 적분하면서 생기는 와인드업 현상에 기인한다. 이를 해결하기 위하여 안티 와인드업 제어를 추가하였다.

그림 12는 주파수 제한과 안티 와인드업이 모두 적용된 CSOGI의 성능을 나타낸다. 그림 12(b)는 안티 와인드업이 적용된 결과 2% Settling time에 도달하는 시간이 그림 11(b)에 비해 단축됨을 확인할 수 있다. 여기서 Δt_{s1} 과 Δt_{s2} 는 그림

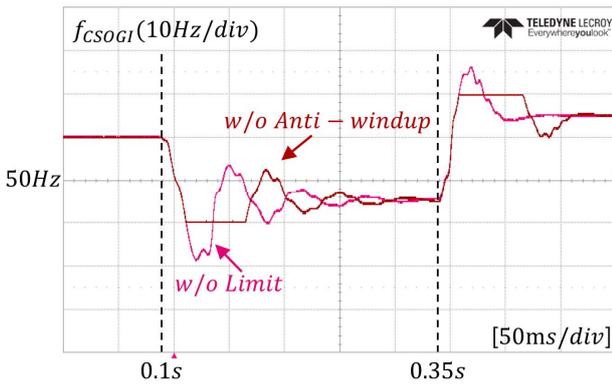


그림 16 CSOGI에서 주파수 제한에 따른 비교
Fig. 16 Comparison according to frequency limitations in CSOGI

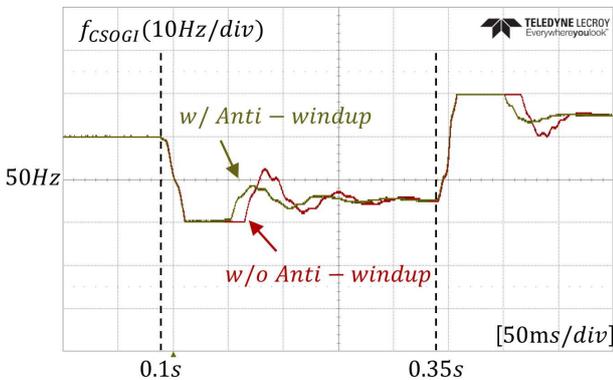


그림 17 CSOGI에서 안티 와인드업 유무에 따른 비교
Fig. 17 Comparison with and without anti-windup in CSOGI

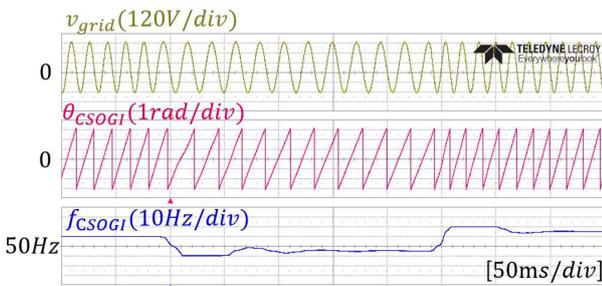


그림 18 계통 주파수 변동에 대한 CSOGI
Fig. 18 CSOGI to grid frequency variations

11(b)에 비해 t_{s1} 과 t_{s2} 가 줄어든 시간을 나타낸다.

5.2 실험 결과

실험에서는 DC 오프셋이 포함된 계통 전압에서 SOGI와 CSOGI의 주파수 응답 특성을 비교하고, 주파수 제한 및 안티 와인드업 제어의 적용 여부에 따른 CSOGI 성능 변화를 분석하였다. 또한, 제어 기법이 주파수 응답에 미치는 영향을 평가하기 위해 다양한 실험 결과를 제시하였다. 이를 통해 제안된 제어 기법의 유효성을 실험적으로 입증하였다. 시뮬레이션의 검증에 대해 그림 13과 같이 실험 환경을 구성하였으며,

Typhoon HIL사의 HIL 404 및 HIL SCADA를 사용하여 계통을 모사하고, DSP는 TI 사의 TMS320F28377S를 사용하였다.

그림 14는 DC 오프셋이 포함된 계통 전압(v_{grid})에 대한 SOGI-PLL의 추정 주파수(f_{SOGI})와 CSOGI-PLL의 추정 주파수(f_{CSOGI})의 응답 특성을 비교한 것이다. DC 오프셋이 포함되지 않았을 때는 SOGI와 CSOGI 모두 60Hz를 유지하지만, DC 오프셋이 포함된 이후에는 SOGI가 60Hz를 유지하지 못하고 리플이 발생하는 반면, CSOGI는 DC 오프셋의 영향을 받지 않고 60Hz를 유지하는 것을 확인할 수 있다. 그림 15는 정상 상태에서 DC 오프셋이 포함된 계통의 위상각($\theta_{SOGI}, \theta_{CSOGI}$)을 나타낸다. 그림 15에서 볼 수 있듯이, DC 오프셋이 포함되면 SOGI는 주파수가 불안정하여 위상 역시 정확하지 않음을 확인할 수 있다. 반면, CSOGI는 DC 오프셋이 존재하더라도 주파수가 일정하게 유지되어 위상도 안정적으로 유지됨을 알 수 있다. 그림 16은 주파수 제한이 적용되지 않는 CSOGI와 주파수 제한은 적용되었으나 안티 와인드업이 적용되지 않은 CSOGI를 비교한 것이다. 주파수 제한이 적용되지 않는 경우 계통 주파수 변동 시 CSOGI의 주파수가 크게 흔들리며, 60Hz에서 45Hz로 변동할 때 추정 주파수가 약 33Hz까지 하락하는 것을 확인할 수 있다. 반면, 주파수 제한이 적용된 경우에는 40Hz로 제한되어 더 이상 하락하지 않지만, 정상상태에 도달하는 시간이 더 길어지는 것을 확인할 수 있다. 그림 17은 안티 와인드업이 적용되지 않는 CSOGI와 적용된 CSOGI의 성능을 비교한 결과를 나타낸다. 계통 주파수 변동 시 오버슈트가 줄어들어 과도상태가 더욱 안정되었으며, 안티 와인드업이 적용되지 않는 경우보다 정상상태에 더 빠르게 도달하는 것을 확인할 수 있다. 그림 18은 계통 주파수 변동에 대한 DC 오프셋이 포함된 계통 전압과 추정된 계통의 위상각, 그리고 안티 와인드업이 적용된 CSOGI-PLL의 주파수 응답을 보여준다.

6. 결론

본 논문에서는 DC 오프셋 제거 성능을 가지며 주파수 변동에 강한 단상 PLL 설계 기법을 제안하였다. 측정된 계통 전압의 DC 오프셋 제거와 고조파 감소를 위하여 CSOGI를 적용하였으며, 급격한 주파수 변동에 대응하기 위하여 추가적인 PLL를 통해 주파수를 추정하였다. 복잡한 CSOGI의 전달함수의 파라미터를 설계하기 위하여 2차 시스템을 이용한 간단한 설계 기법을 제안하였다. 또한, 주파수 추정 시의 과도상태를 개선하기 위하여 주파수 제한 및 안티 와인드업 제어를 설계하였다. 이를 통하여 급격한 주파수 변동 시에도 안정적인 계통 동기화 성능을 확보할 수 있게 되었고 시뮬레이션과 실험을 통하여 제안한 설계 기법의 유효성을 검증하였다.

Acknowledgements

This work was supported by the Technology Innovation Program(202320026705) funded By the Ministry of Trade, Industry & Energy(MOTIE, Koera)

References

- [1] Erdiwansyah, Mahidin, H. Husin, Nasaruddin, M. Zaki, and Muhibbuddin, "A critical review of the integration of renewable energy sources with various technologies," in *Protection and Control of Modern Power Systems*, vol. 6, no. 1, pp. 1-18, January 2021.
DOI:10.1186/s41601-021-00181-3.
- [2] F. Blaabjerg, R. Teodorescu, M. Liserre, and A. V. Timbus, "Overview of Control and Grid Synchronization for Distributed Power Generation Systems," in *IEEE Transactions on Industrial Electronics*, vol. 53, no. 5, pp. 1398-1409, Oct. 2006.
DOI:10.1109/TIE.2006.881997
- [3] A. Kulkarni, and V. John, "Design of a fast response time single-phase PLL with DC offset rejection capability," 2016 IEEE Applied Power Electronics Conference and Exposition (APEC), Long Beach, CA, USA, pp. 2200-2206, 2016.
DOI:10.1109/APEC.2016.7468172.
- [4] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A new single-phase PLL structure based on second order generalized integrator," 2006 37th IEEE Power Electronics Specialists Conference, Jeju, Korea (South), pp. 1-6, 2006.
DOI:10.1109/pesc.2006.1711988
- [5] Y. Han, M. Luo, X. Zhao, J. M. Guerrero, and L. Xu, "Comparative Performance Evaluation of Orthogonal-Signal-Generators-Based Single-Phase PLL Algorithms—A Survey," in *IEEE Transactions on Power Electronics*, vol. 31, no. 5, pp. 3932-3944, May 2016.
DOI:10.1109/TPEL.2015.2466631
- [6] M. Xie, H. Wen, C. Zhu, and Y. Yang, "DC Offset Rejection Improvement in Single-Phase SOGI-PLL Algorithms: Methods Review and Experimental Evaluation," in *IEEE Access*, vol. 5, pp. 12810-12819, 2017.
DOI:10.1109/ACCESS.2017.2719721S.
- [7] Z. Xin, X. Wang, Z. Qin, M. Lu, P. C. Loh, and F. Blaabjerg, "An Improved Second-Order Generalized Integrator Based Quadrature Signal Generator," in *IEEE Transactions on Power Electronics*, vol. 31, no. 12, pp. 8068-8073, Dec. 2016.
DOI:10.1109/TPEL.2016.2576644.
- [8] S. Lubura, M. Šoja, S. Lale & M. Ikić, "Single - phase phase locked loop with dc offset and noise rejection for photovoltaic inverters," *IET Power Electronics*, vol. 7, no. 9, pp. 2288-2299, 2014.
DOI:10.1049/iet-pel.2013.0413
- [9] C. Zhang, X. Zhao, X. Wang, X. Chai, Z. Zhang, and X. Guo, "A Grid Synchronization PLL Method Based on Mixed Second- and Third-Order Generalized Integrator for DC Offset Elimination and Frequency Adaptability," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 6, no. 3, pp. 1517-1526, Sept. 2018.
DOI:10.1109/JESTPE.2018.2810499.
- [10] S. Prakash, J. K. Singh, R. K. Behera, and A. Mondal, "Comprehensive Analysis of SOGI-PLL Based Algorithms for Single-Phase System," 2019 National Power Electronics Conference (NPEC), Tiruchirappalli, India, pp. 1-6, 2019.
DOI: 10.1109/NPEC47332.2019.9034724.
- [11] J. D. Lee, and H. J. Cha, "The Design of Robust DSC-PLL under Distorted Grid Voltage Contained Unbalance on Frequency Variation," *The Transactions of the Korean Institute of Electrical Engineers*, vol. 67, no. 11, pp. 1447~1454, 2018.
DOI:10.5370/KIEE2018.67.11.1447
- [12] M. Ciobotaru, R. Teodorescu, and F. Blaabjerg, "A new single-phase PLL structure based on second order generalized integrator," 2006 37th IEEE Power Electronics Specialists Conference, Jeju, Korea (South), pp. 1-6, 2006.
DOI: 10.1109/pesc.2006.1711988.
- [13] Ogata, K., "Modern Control Engineering," 3rd ed. Upper Saddle River, NJ: Prentice Hall, pp 152-153, 1997.
- [14] J. Geis-Schroer, K. Seiraffi, M. Suriyah and T. Leibfried, "The Impact of Large Grid Frequency Deviations on the Performance of Traditional Machine Tools," 2023 IEEE Belgrade PowerTech, Belgrade, Serbia, pp. 1-6, 2023.
DOI: 10.1109/PowerTech55446.2023.10202885.

저자소개



이찬기(Chan-Gi Lee)

He received the B.S. degree in electrical engineering from Suncheon National University, Suncheon, Korea, in 2024. Since 2024, he is currently pursuing the M.S. degree in electrical engineering. His research interests include power electronics, grid-connected inverters.



이광운(Kwang-Woon Lee)

He received the B.S., M.S., and Ph.D. degrees in electrical engineering from Korea University, Seoul, Korea, in 1993, 1995, and 1999, respectively. From 2000 to 2002, he was at the Samsung Advanced Institute of Technology, Yongin, Korea.

From 2002 to 2007, he was a Senior Research Engineer at the Samsung Living Appliance R&D Center, Samsung Electronics, Suwon, Korea, where he was engaged in the research on sensorless motor drive systems for refrigerators and air conditioners. He is currently a Professor at the Division of Marine Mechatronics, Mokpo National Maritime University, Mokpo, Korea.

His research interests include power electronics and control, which includes ac machine drives, digital signal processing (DSP)-based control applications, and fault diagnosis of electrical machines.



김상일(Sang-II Kim)

He received the B.S., the M.S., and the Ph.D. degrees in electrical engineering from Hanyang University, Korea, in 1998, 2000, and 2017 respectively. From 2000 to 2005, he was a Researcher with POSCON Company, Seoul, Korea. From 2005 to 2008, he was a member of the research staff at Samsung Advanced Institute of Technology, Yongin, Korea. From 2008 to 2018, he was a Chief Research Engineer at Doosan Company, Seoul, Korea. From 2018 to 2021, he was an Assistant Professor at Daelim University College, Korea. Since 2021, he has been with Suncheon National University, where he is currently an Assistant Professor in the Department of Electrical Engineering. His current research interests are power electronics control of electric machines, sensorless drives, servo drives, and power conversion circuits.