

# An Improved Carrier-Based Discontinuous PWM Method with Phase-Current THD Reduction for Vienna Rectifier

비엔나 정류기의 상전류 THD 저감을 위한 개선된 불연속 변조 기법

Minseong Kim · Juyeon Lee · June-Seok Lee

김민성\* · 이주연\* · 이준석†

## Abstract

This paper proposes an improved CB-DPWM(Carrier-Based Discontinuous Pulse Width Modulation) method for the Vienna rectifier. The conventional CB-DPWM methods clamp the reference voltage to zero during intervals where the Vienna rectifier's normal operating condition is not met due to the offset voltage for DPWM operation. However, these additional clamping intervals cause an increase in the phase current THD(Total Harmonic Distortion). In this paper, an improved CB-DPWM method is proposed to reduce the phase current THD of the Vienna rectifier by minimizing intervals where the reference voltage is zero. Furthermore, neutral point voltage control can be applied in the non-clamping regions to mitigate fluctuations in the neutral point voltage. Consequently, the proposed method can enhance the phase current THD while maintaining the advantage of reducing switching losses. The effectiveness of the proposed method is verified through simulations and experimental results.

## Key Words

CB-DPWM(Carrier-Based Discontinuous Pulse Width Modulation), Neutral point voltage control, Phase current THD(Total Harmonic Distortion), Switching losses, Vienna rectifier

## 1. 서론

최근 전력변환장치의 고효율화와 전력품질 개선에 대한 필요성이 범세계적으로 증가함에 따라, 입력 전류의 고조파 왜곡을 줄이고 높은 역률을 달성할 수 있는 구조와 제어 기법에 관한 연구가 활발히 진행되고 있다. 이러한 배경 속에서, 입력 전류 품질과 효율성이 우수한 전력변환장치인 비엔나 정류기가 주목받고 있다. 비엔나 정류기는 3레벨 컨버터 기반의 단방향 전력변환장치로, 그림 1은 계통 연계형 비엔나 정류기 토폴로지를 나타낸다. 비엔나 정류기는 2레벨 컨버터에 비해 입력 전류의 THD(Total Harmonic Distortion)가 낮고, 스위칭 소자에 인가되는 전압이 감소한다[1, 2]. 또한, 다른 3레벨 컨버터와 비교했을 때 스위칭 소자의 사용 개수가 적어 전체 시스템의 크기를 줄일 수 있으며, 그 결과 전력밀도가 증가하고 제작 비용을 절감할 수 있는 장점을 가지고 있다[3]. 따라서 비엔나 정류기는 전기차 충전 시스템, 풍력 발전시스템 등 다양한 산업 분야에서 활용되고 있다[4-7].

중성점과 연결된 스위치가 꺼져 있을 때, 비엔나 정류기는

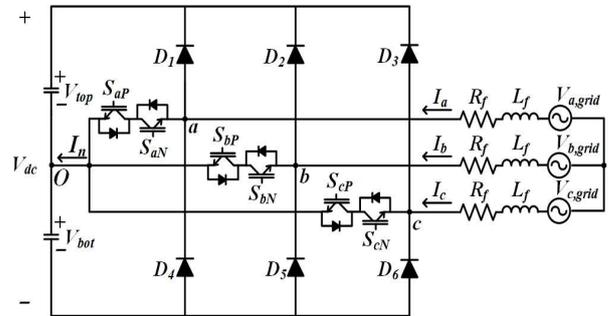


그림 1 계통 연계형 비엔나 정류기 토폴로지.  
Fig. 1 Grid-connected Vienna rectifier topology.

3상 다이오드 정류기의 동작을 하여, 극전압( $V_{x0}$ ,  $x=a,b,c$ )의 크기는 상하단 커패시터 전압( $V_{top}, V_{bot}$ )의 합인  $V_{dc}$ 와 상전류의 극성에 따라 결정된다. 상전류( $I_x$ ,  $x=a,b,c$ )가 양의 극성을 가질 경우, 전류는 그림 1의 화살표 방향을 따라 상단 다이오드를 통해 흐르며 극전압은  $V_{dc}/2$ 가 된다. 반대의 경우, 전류는 하단 다이오드를 통해 흐르며, 극전압은  $-V_{dc}/2$ 가 된다. 스위치가 꺼져 있으면 상전류는 중성점과 연결된 스위치를 통해

† Corresponding Author : Dept. of Electrical and Electronic Engineering, Dankook University, Korea  
E-mail : ljs@dankook.ac.kr  
https://orcid.org/0000-0002-9374-7140

\* Dept. of Electrical and Electronic Engineering, Dankook University, Korea  
https://orcid.org/0009-0000-9026-8438 https://orcid.org/0009-0000-6370-3684.

Received : Oct. 17, 2024 Revised : Oct. 26, 2024 Accepted : Nov. 05, 2024

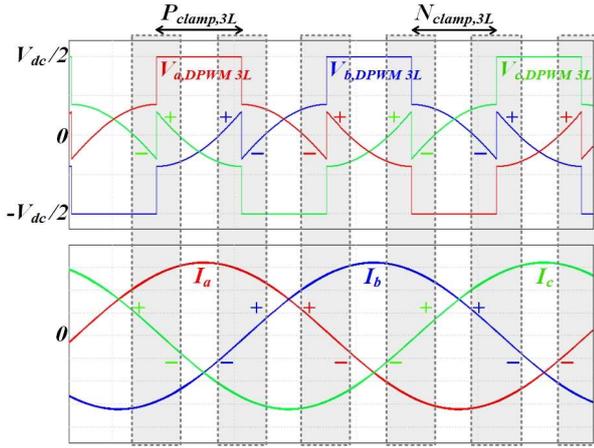


그림 2 3레벨 컨버터의 CB-DPWM 기법 적용 시.  
Fig. 2 CB-DPWM method in 3-level converter.

흐르며, 극전압은 0이 된다. 따라서 비엔나 정류기는 전압 지령과 상전류의 극성이 일치해야 하는 동작 조건을 가진다. 이 조건이 충족되지 않으면 전압 지령이 요구하는 전압을 출력할 수 없으므로 상전류에 왜곡이 발생한다.

불연속 변조(Discontinuous Pulse Width Modulation, DPWM) 기법은 특정 구간에서 3상 중 하나의 전압 지령을  $V_{dc}/2$ ,  $-V_{dc}/2$ 로 클램핑하여, 3상 중 두 상만을 스위칭 동작시키는 기법이다. 따라서 전체 스위칭 횟수를 줄여 손실을 감소시킬 수 있는 장점이 있어, 효율과 스위치의 내구성을 고려할 때 DPWM 기법을 사용하는 것이 유리하다.

기존에 제안된 비엔나 정류기의 DPWM 기법으로는 다양한 방식이 있으며, 대표적으로 전압 지령을 하나의 공간 벡터로 표현하여 제어하는 공간 벡터 기반 불연속 변조(Space-Vector DPWM, SV-DPWM) 기법[8-10]과 반송파 신호와 전압 지령을 비교하여 스위칭 상태를 결정하는 캐리어 기반 불연속 변조(Carrier-Based DPWM, CB-DPWM) 기법[11-15]이 있다. 특히 CB-DPWM 기법은 전압 지령에 오프셋 성분을 더해주는 방식으로 간단하게 구현할 수 있어, 많은 연구가 진행되었다. 기존 CB-DPWM 기법은 오프셋 성분으로 인해, 상전류와 전압 지령의 극성이 다른 구간이 발생한다. 이는 비엔나 정류기의 동작 조건을 만족하지 않으므로 해당 구간에서 전압 지령을 0으로 클램핑한다[11]. 그러나 클램핑 구간이 증가하여 상전류 THD가 증가하고, 중성점 전압의 변동이 커져 중성점 전압 불평형을 초래할 수 있다. 이를 해결하기 위해 중성점 전압 불평형을 고려한 CB-DPWM 기법이 제안되었다[12-15]. [12]는 전압 불평형 조건에 따라 각 상의 전압 지령이  $V_{dc}/2$ ,  $-V_{dc}/2$ 로 클램핑하는 구간을 다르게 설정함으로써 중성점 전압 불평형에 대응한다. [13-15]는 추가적인 오프셋 성분을 전압 지령에 더해줌으로써 중성점 전압을 제어하여 중성점 전압의 불평형을 보상한다. 그러나 해당 기법들 모두 전압 지령을 0으로 클램핑하는 구간에서 [11]과 같은 오프셋 성분이 반영됨으로, 상전류 THD에 악영향을 미친다.

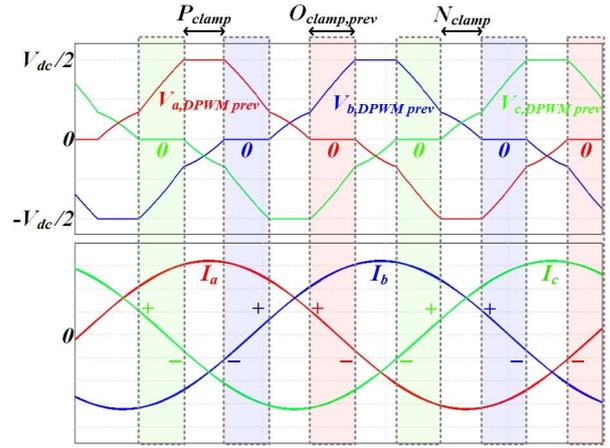


그림 3 기존 비엔나 정류기의 CB-DPWM 기법 적용 시.  
Fig. 3 Conventional CB-DPWM method in Vienna Rectifier.

본 논문은 상전류 THD 저감 측면에서 클램핑 구간을 최적화한 캐리어 기반 DPWM 기법을 제안한다. 제안하는 기법은 비엔나 정류기의 동작 조건을 충족시키면서, 전압 지령을 0으로 클램핑하는 구간을 최소화한다. 해당 구간은 회로 내 임피던스 성분을 기반으로 계산할 수 있으며, O-클램핑 구간으로 정의한다. 결과적으로 클램핑 구간의 축소로 인해 스위칭 주파수 대역의 리플은 감소한다. 또한, 전압 지령을 클램핑하지 않는 구간에서 중성점 전압 제어를 적용하여 중성점 전압의 변동을 저감함으로써 커패시터 리플 전류를 줄일 수 있다. 이를 통해 커패시터의 수명을 연장할 수 있으며, 커패시터의 크기 감소가 가능하여 전체 시스템의 크기를 줄일 수 있다. 특히, 클램핑 구간은 상전류가 작은 zero-crossing 부근에 위치하므로, 스위칭 손실에 큰 영향을 끼치지 않으면서 상전류 THD를 개선할 수 있다. 제안하는 기법의 유효성은 Psim 프로그램을 이용한 시뮬레이션을 통해 얻은  $M_a$ 에 따른 손실 및 상전류 THD의 결과와 실험을 통해 검증한다.

## 2. 기존 비엔나 정류기의 CB-DPWM 기법

기존 비엔나 정류기의 CB-DPWM 기법은 3레벨 컨버터의 CB-DPWM 기법[16]을 기반으로 한다. 3레벨 컨버터는 식 (1)의 오프셋 성분을 인가하여 일정 구간 동안 전압 지령을 클램핑한다. 그림 2는 3레벨 컨버터의 CB-DPWM 기법을 적용한 전압 지령( $V_{x,DPWM,3L}, x=a,b,c$ )과 상전류를 나타낸다. 오프셋 성분에 의해  $P_{clamp,3L}$ ,  $N_{clamp,3L}$ 구간에서 전압 지령이 각각  $V_{dc}/2$ ,  $-V_{dc}/2$ 로 클램핑된다. 그러나 전압 지령과 상전류의 극성이 일치하지 않는 구간이 발생하므로, 3레벨 컨버터의 오프셋 성분을 비엔나 정류기에 적용하는 경우 비엔나 정류기의 동작 조건을 만족할 수 없다. 이를 해결하기 위해 기존 비엔나 정류기의 CB-DPWM 기법은 해당 구간에서 전압 지령을 0으로 클램핑한다[16]. 이때 오프셋 성분( $V_{offset,prev}$ )은 식 (2)와 같이 정의되고, 3상 전압 지령에 더해져 전압 지령을 변화시킨다.

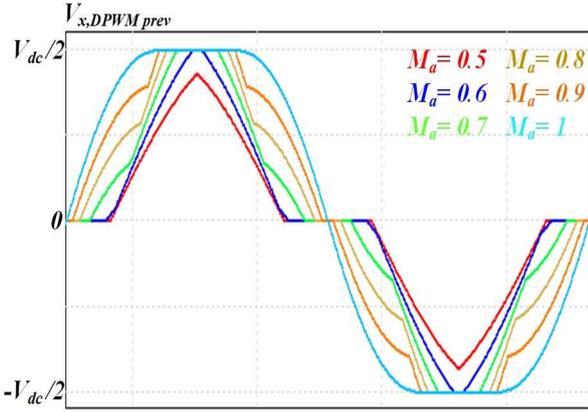


그림 4  $M_a$ 에 따른 기존 CB-DPWM 기법의 전압 지령.  
Fig. 4 Reference voltages of conventional CB-DPWM method according to  $M_a$ .

$$V_{offset,3L} = \begin{cases} V_{dc}/2 - V_{max} & |V_{max}| \geq |V_{min}| \\ -V_{dc}/2 - V_{min} & |V_{max}| < |V_{min}| \end{cases} \quad (1)$$

$$V_{offset,prev} = \begin{cases} -V_{mid} & |V_{max}| \geq |V_{min}| \text{ and } V_{offset,3L} > -V_{mid} \\ V_{dc}/2 - V_{max} & |V_{max}| \geq |V_{min}| \text{ and } V_{offset,3L} < -V_{mid} \\ -V_{mid} & |V_{max}| < |V_{min}| \text{ and } V_{offset,3L} < -V_{mid} \\ -V_{dc}/2 - V_{min} & |V_{max}| < |V_{min}| \text{ and } V_{offset,3L} > -V_{mid} \end{cases} \quad (2)$$

$$\begin{pmatrix} V_{max} = \max[V_{a,ref}, V_{b,ref}, V_{c,ref}] \\ V_{mid} = \text{mid}[V_{a,ref}, V_{b,ref}, V_{c,ref}] \\ V_{min} = \min[V_{a,ref}, V_{b,ref}, V_{c,ref}] \end{pmatrix}$$

이때,  $V_{max}$ ,  $V_{mid}$ ,  $V_{min}$ 은 전압 지령( $V_{x,ref}$ ,  $x=a,b,c$ )의 최댓값, 중간값, 최솟값을 나타내며, 오프셋 성분으로 인해 변화한 3상 전압 지령( $V_{x,DPWM,prev}$ ,  $x=a,b,c$ )은 식 (3)과 같다.

$$V_{x,DPWM,prev} = \begin{cases} V_{a,DPWM,prev} = V_{a,ref} + V_{offset,prev} \\ V_{b,DPWM,prev} = V_{b,ref} + V_{offset,prev} \\ V_{c,DPWM,prev} = V_{c,ref} + V_{offset,prev} \end{cases} \quad (3)$$

그림 3은 기존 비엔나 정류기의 CB-DPWM 기법을 적용한 전압 지령( $V_{x,DPWM,prev}$ ,  $x=a,b,c$ )과 상전류를 나타낸다. 오프셋 성분에 의해  $P_{clamp}$ ,  $N_{clamp}$  구간에서는 전압 지령이  $V_{dc}/2$ ,  $-V_{dc}/2$ 로 클램핑된다. 그러나 그림 2와 달리, 오프셋 성분으로 인해 상전류와 전압 지령의 극성이 일치하지 않는 구간인  $O_{clamp,prev}$  동안 전압 지령을 0으로 클램핑하여 모든 구간에서 극성이 일치하게 됨을 알 수 있다. 이러한  $O_{clamp,prev}$  구간은 그림 4에서 볼 수 있듯이, 전압 변조 지수( $M_a = \sqrt{3} \cdot V_{x,ref} / V_{dc}$ )가 작아질수록 증가하는 경향을 보인다.

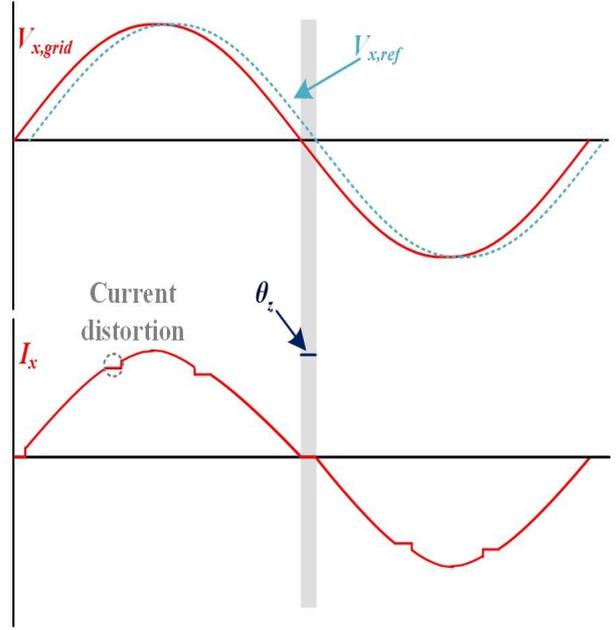


그림 5 비엔나 정류기의 영전류 왜곡.  
Fig. 5 Zero-current distortion of the Vienna rectifier.

### 3. 상전류 THD 향상을 고려한 제안하는 CB-DPWM 기법

비엔나 정류기의 CB-DPWM 기법을 적용하는 경우, 동작 조건을 충족하기 위해  $P_{clamp}$ ,  $N_{clamp}$  구간 외에  $O_{clamp,prev}$  구간이 필연적으로 발생한다. 이때 전압 지령의 클램핑 구간은 상전류 THD 특성에 영향을 미치므로, 이를 고려하여 적절한 클램핑 구간을 선정하는 것이 중요하다.

본 논문은 상전류 THD를 고려하여 기존 기법에서  $O_{clamp,prev}$  구간을 최소화할 수 있는 최적의 클램핑 구간을 선정한다.

#### 3.1 비엔나 정류기의 영전류 왜곡

계통 연계 시스템은 무효성분을 0으로 제어하여 계통 전압과 상전류의 역률이 1이 되도록 한다. 이로 인해 계통 전압과 상전류 사이에 위상차는 없다고 가정할 수 있으나, 회로 내 임피던스 성분으로 인해 전압 지령과 상전류 사이에는 위상차 ( $\theta$ )가 존재하게 된다. 따라서 zero-crossing 부근에서 비엔나 정류기의 동작 조건을 충족하지 못하는 구간이 생기고, 그 결과 상전류에 왜곡이 발생한다[17]. 기본파 한 주기에서는 서로  $60^\circ$ 의 차이를 가지는 6개의 zero-crossing 지점이 존재한다. 3상 시스템의 경우, 한 상에서 발생하는 전류 왜곡이 나머지 두 상에 영향을 미치지 때문에, 그림 5에서 확인할 수 있듯이 기본파 한 주기 동안 상전류는 총 6번의 왜곡이 나타난다. 이러한 영전류 왜곡의 원인인  $\theta$ 는 회로의 임피던스 특성에 의해 항상 존재하므로, 이를 고려하여 클램핑 구간을 선정하면 비엔나 정류기의 동작 조건을 만족하면서 클램핑 구간을 최소화할 수 있다.

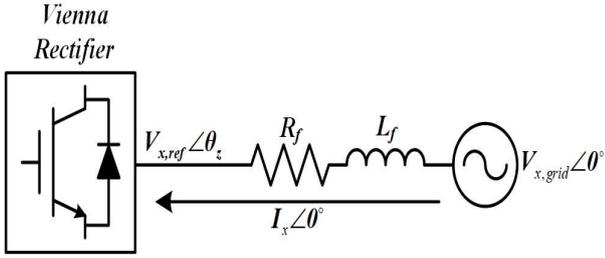


그림 6 비엔나 정류기의 등가회로.  
Fig. 6 Equivalent circuit of Vienna rectifier.

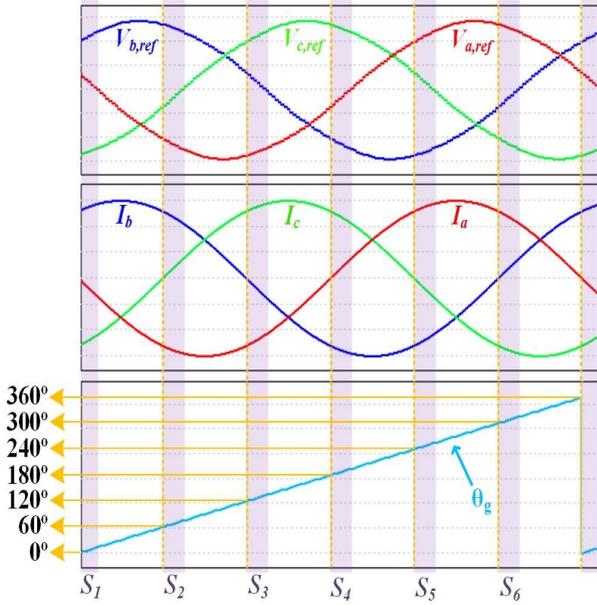


그림 7 O-클램핑 구간.  
Fig. 7 O-clamping regions.

3.2 O-클램핑 구간

O-클램핑 구간을 도출하기 위해서는 회로 내 임피던스 성분을 바탕으로  $\theta_z$ 를 계산해야 한다. 이를 위해 저항  $R_f$ 와 인덕턴스  $L_f$ 를 고려한 비엔나 정류기의 등가회로를 그림 6과 같이 나타낼 수 있다. 등가회로의 전압 방정식을 통해 상전류를 표현하면 식 (4)와 같다.

$$I_x \angle \theta = \frac{V_{x,grid} \angle 0^\circ - V_{x,ref} \angle \theta_z}{Z} = \frac{V_{x,grid} \angle 0^\circ - V_{x,ref} \angle \theta_z}{R_f + jL_f} \quad (4)$$

이때  $Z$ 는 임피던스 성분을 나타내며,  $V_{x,grid}(x=a,b,c)$ 는 계통전압을 나타낸다. 식 (4)를 전압 지령에 대해 정리하면 식 (5)와 같이 표현할 수 있다.

$$V_{x,ref} \angle \theta_z = V_{x,grid} - (R_f + j2\pi f_f L_f) \cdot I_x (x = a, b, c) \quad (5)$$

여기서  $f_f$ 는 계통 주파수를 나타내며, 식 (5)를 통해  $\theta_z$ 를 도출하면 식 (6)과 같이 나타낼 수 있다.

표 1 O-클램핑 구간에 따른 오프셋 성분.

Table 1 Offset component according to O-clamping section.

O-clamping section		$V_{offset}$
$S_1$	$0^\circ < \theta_g \leq 0^\circ + \theta_z$	$-V_{a,ref}$
$S_2$	$60^\circ < \theta_g \leq 60^\circ + \theta_z$	$-V_{c,ref}$
$S_3$	$120^\circ < \theta_g \leq 120^\circ + \theta_z$	$-V_{b,ref}$
$S_4$	$180^\circ < \theta_g \leq 180^\circ + \theta_z$	$-V_{a,ref}$
$S_5$	$240^\circ < \theta_g \leq 240^\circ + \theta_z$	$-V_{c,ref}$
$S_6$	$300^\circ < \theta_g \leq 300^\circ + \theta_z$	$-V_{b,ref}$

$$\tan \theta_z = \frac{-2\pi f_f L_f \cdot I_x}{V_{x,grid} - I_x R_f} \quad (6)$$

$$\rightarrow \theta_z = \tan^{-1} \left( \frac{-2\pi f_f L_f \cdot I_x}{V_{x,grid} - I_x R_f} \right)$$

$\theta_z$ 를 계산함으로써 기본파 한 주기 내에서 영전류 왜곡이 발생하는 총 6가지 구간을 그림 7을 통해 확인할 수 있다. 이 구간들은 계통 전압의 위상각인  $\theta_g$ 로 표현되며, O-클램핑 구간으로 정의된다. 각 구간에서는 영전류 왜곡을 보상하기 위해 오프셋 성분을 인가하여 전압 지령을 0으로 클램핑한다. 각 구간과 이에 대응하는 오프셋 성분은 표 1을 통해 확인할 수 있다. 따라서 제안하는 기법의 오프셋 성분을 식 (1), (2)를 통해 나타내면 식 (7)과 같다.

$$V_{offset} = \begin{cases} V_{offset,3L} & (|V_{max}| \geq |V_{min}| \text{ and } V_{offset,3L} < -V_{mid}) \\ & \text{or } (|V_{max}| < |V_{min}| \text{ and } V_{offset,3L} > -V_{mid}) \\ V_Z & (|V_{max}| \geq |V_{min}| \text{ and } V_{offset,3L} > -V_{mid}) \\ & \text{or } (|V_{max}| < |V_{min}| \text{ and } V_{offset,3L} < -V_{mid}) \end{cases} \quad (7)$$

$$\left( \begin{matrix} -V_{mid} & \frac{\pi}{3}(n-1) < \theta_g \leq \frac{\pi}{3}(n-1) + \theta_z \\ 0 & \frac{\pi}{3}(n-1) + \theta_z < \theta_g \leq \frac{\pi}{3}n \end{matrix} \right) \quad (n=1 \sim 6)$$

이때  $V_Z$ 는 전압 지령을 0으로 클램핑하기 위한 오프셋 성분이다. 결과적으로, 제안하는 기법의 3상 전압 지령( $V_{x,DPWM}$ ,  $x=a,b,c$ )은 식 (8)과 같다.

$$V_{x,DPWM} = \begin{cases} V_{a,DPWM} = V_{a,ref} + V_{offset} \\ V_{b,DPWM} = V_{b,ref} + V_{offset} \\ V_{c,DPWM} = V_{c,ref} + V_{offset} \end{cases} \quad (8)$$

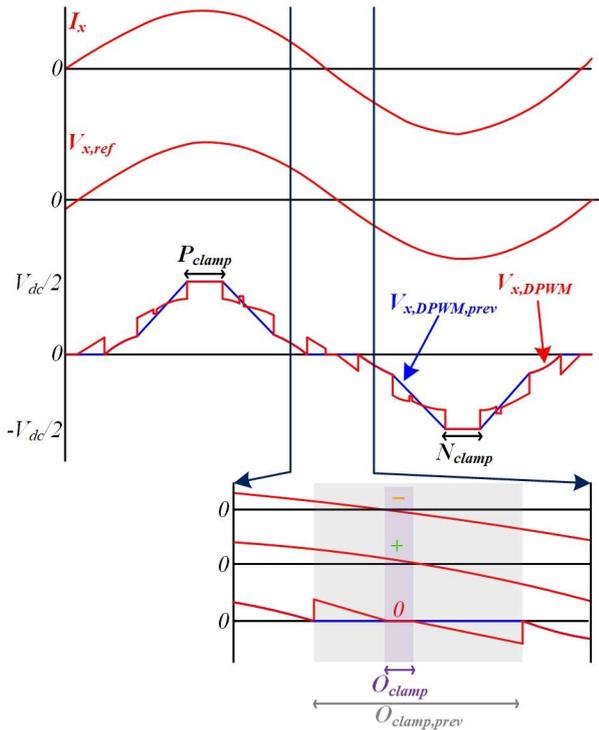


그림 8 기존 기법과 제안하는 기법의 클램핑 구간 비교.  
 Fig. 8 Comparison of clamping regions between conventional and proposed method.

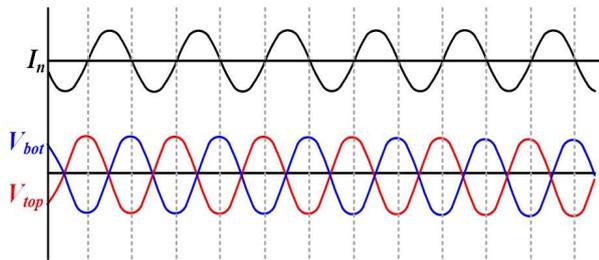


그림 9 평균 중성점 전류에 따른 상하단 커패시터의 전압 변동.  
 Fig. 9 Neutral-point voltage variation due to the average neutral-point current.

### 3.3 기존 기법과 제안하는 기법의 비교

그림 8은 기존 기법과 제안하는 기법의 클램핑 구간을 나타낸다. 제안하는 기법에서는 기존 기법에서 전압 지령을 0으로 클램핑하는 구간 중 영전류 왜곡이 발생하는 구간을 O-클램핑 구간으로 정의하였다. 이를 통해 불필요한 클램핑 구간이 감소하며, 클램핑이 인가되지 않는 구간에서는 추가적인 중성점 전압 제어를 적용할 수 있다. 또한, 상전류의 크기가 비교적 큰  $P_{clamp}$ ,  $N_{clamp}$  구간은 그대로 유지하면서, 상전류의 zero-crossing 부근에 위치한  $O_{clamp,prev}$  구간을 조정함으로써 DPWM 기법의 스위칭 손실 감소 효과도 유지할 수 있다.

### 3.4 중성점 전압 제어

비엔나 정류기는 중성점과 연결된 두 스위치를 포함하고 있어, 중성점 전류( $I_n$ )의 극성에 따라 커패시터 전압이 변동한다. 중성점 전류가 양의 극성을 가지는 경우, 하단 커패시터의

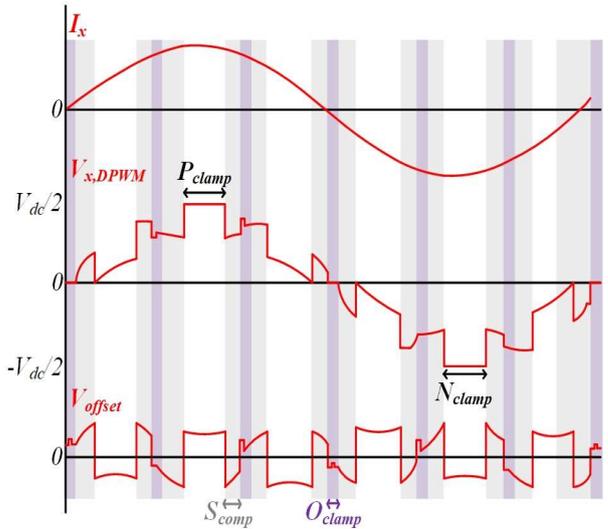


그림 10 제안 기법의 전압 지령과 오프셋 성분.  
 Fig. 10 Reference voltage and offset component of proposed method.

전압( $V_{bot}$ )이 증가하고, 반대로 음의 극성을 가지는 경우 상단 커패시터의 전압( $V_{top}$ )이 증가하는 것을 그림 9를 통해 확인할 수 있다. 커패시터 전압의 변동은 중성점 전압 불평형을 유발하며, 이는 소자의 내부 특성인 임피던스 차이 등으로 인해 상하단 커패시터의 전압 차이가 발생하는 DC 불평형과, 상하단 커패시터의 전압이 시간에 따라 주기적으로 변동하면서 생기는 AC 리플 성분인 AC 불평형으로 나타난다. 이러한 불평형은 커패시터의 수명을 감소시키고, 극전압 오차를 유발하여 출력 전류 및 전압에 왜곡을 발생시킨다[18]. 특히, DPWM 기법 적용 시 전압 지령을 0으로 클램핑하는 구간에서는 중성점과 연결된 스위치로 전류가 흐르면서 중성점 전압의 변동이 증가하여 AC 불평형으로 인한 출력 전류 왜곡이 커질 수 있다. 따라서, 비엔나 정류기의 안정적인 동작을 위해서는 중성점 전압의 불평형을 고려한 제어가 필요하다.

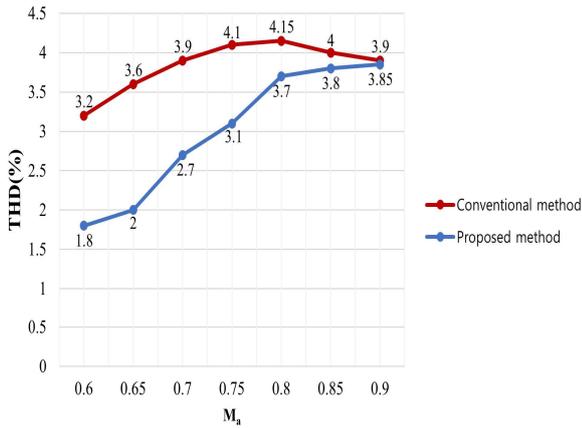
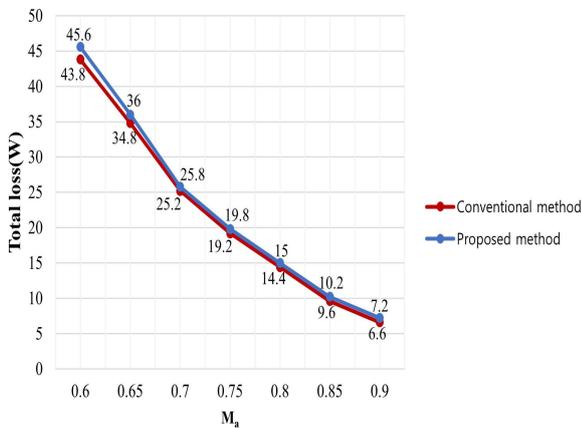
앞서 언급하였듯이 제안하는 기법은 전압 지령에 클램핑이 인가되지 않는 구간에서는 추가적인 DC 및 AC 불평형을 고려한 중성점 전압 제어를 적용한다. DC 불평형의 경우 상단과 하단 커패시터의 전압 오차를 입력으로 하는 PI 제어를 통해 보상 성분을 도출할 수 있다[19]. AC 불평형의 경우 스위칭 듀티와 상전류를 이용한 평균 중성점 전류를 계산하는 수식을 통해, 한 스위칭 주기 동안 평균 중성점 전류를 0으로 만들기 위한 보상 성분을 도출할 수 있다[20]. 이러한 중성점 전압 제어가 적용되면 중성점 전압의 변동이 저감되고 중성점 전류가 감소하여 커패시터의 리플 전류도 줄어든다. 따라서 커패시터의 크기를 감소시킬 수 있어 시스템의 크기를 줄일 수 있으며, 커패시터의 수명 또한 연장할 수 있다.

중성점 전압 제어를 적용한 제안하는 기법의 전압 지령과 오프셋 성분은 그림 10과 같이 4가지 구간으로 나뉜다. 각 구간은 오프셋 성분을 통해 전압 지령을 클램핑하거나 중성점 전압 제어를 수행한다.  $S_{comp}$ 는 중성점 전압 제어가 적용되는

표 2 시뮬레이션 파라미터.

Table 2 Simulation parameters.

Parameters	Mark	Value
Control period	$T_s$	100 $\mu$ s
DC-link voltage	$V_{dc}$	350Vdc
Grid frequency	$f_f$	60Hz
Switching frequency	$f_s$	10kHz
Input filter resistance	$R_f$	0.2 $\Omega$
Input filter inductance	$L_f$	1.25mH

그림 11  $M_a$ 에 따른 기존 기법과 제안 기법의 상전류 THD.Fig. 11 Phase current THD of conventional and proposed method depending on  $M_a$ .그림 12  $M_a$ 에 따른 기존 기법과 제안 기법의 손실.Fig. 12 Total loss of conventional and proposed method depending on  $M_a$ .

구간을 나타내며, 중성점 전압 제어를 위한 오프셋 성분( $V_{comp}$ )은 식 (9)와 같이 전압 지령이 클램핑되지 않는 구간에서 인가한다. 여기서  $V_{AC,comp}$ ,  $V_{DC,comp}$ 는 각각 중성점 전압의 AC 및 DC 불평형 보상을 위한 오프셋 성분이다.

$$V_{comp} = \begin{cases} 0 & V_{offset} \neq 0 \\ V_{AC,comp} + V_{DC,comp} & V_{offset} = 0 \end{cases} \quad (9)$$

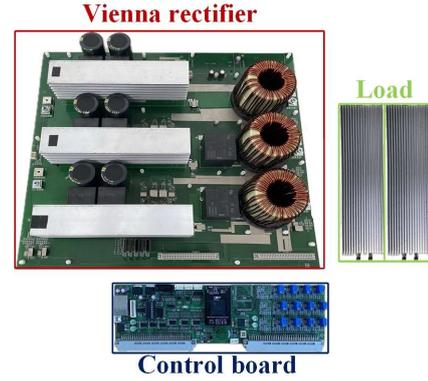


그림 13 비엔나 정류기 실험 세트.

Fig. 13 Experiment setup for Vienna rectifier.

결과적으로, 중성점 전압 제어를 고려한 제안하는 기법의 3상 전압 지령은( $V_{x,DPWM}$ ,  $x=a,b,c$ ) 식 (10)과 같다.

$$V_{x,DPWM} = V_{x,ref} + V_{offset} + V_{comp}. \quad (10)$$

## 4. 시뮬레이션

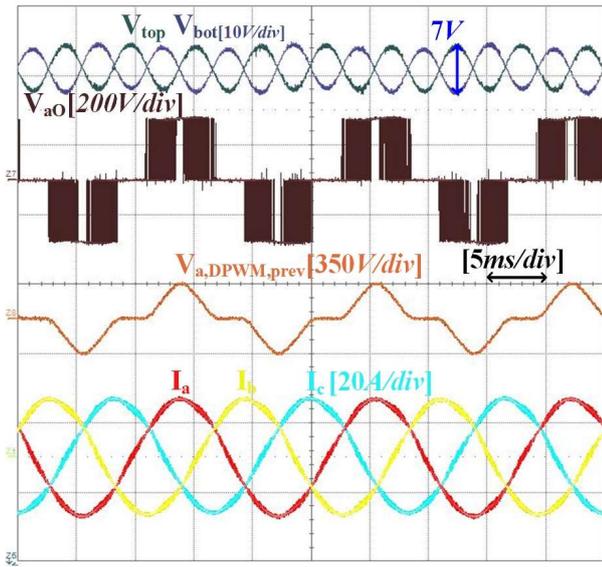
본 장에서는 제안하는 CB-DPWM 기법의 타당성을 시뮬레이션을 통해 검증한다. 사용한 파라미터는 표 2와 같고,  $M_a$ 에 따른 경향성을 확인하기 위해 계통 전압을 변경하여 시뮬레이션을 수행하였다.

그림 11은  $M_a$ 에 따른 기존 CB-DPWM 기법과 제안하는 CB-DPWM 기법의 THD를 나타낸다. 제안하는 기법은 기존 기법에서 전압 지령을 0으로 클램핑하는 구간을 영전류 왜곡이 발생하는 O-클램핑 구간으로 최소화하고, 추가적인 중성점 전압 제어를 적용하므로 상전류 THD가 저감되는 것을 확인할 수 있다.  $M_a$ 가 작아질수록 기존 기법의  $O_{clamp,prev}$ 구간은 넓어지기 때문에 제안하는 기법에서 상전류 THD 저감 효과가 극대화되는 것을 확인할 수 있다.

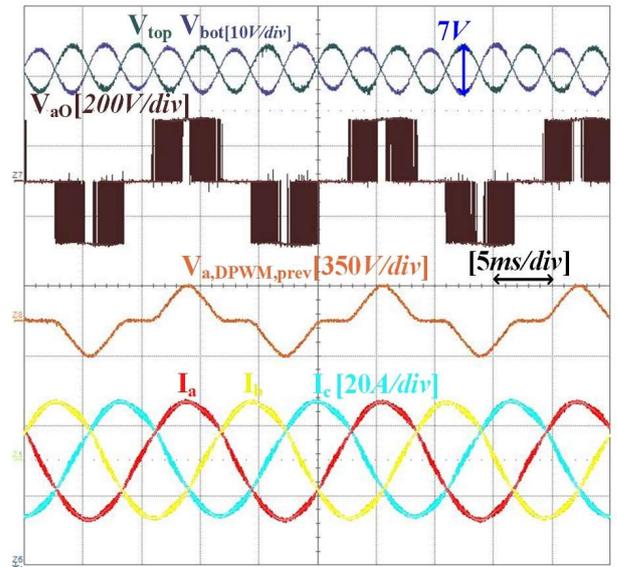
그림 12는  $M_a$ 에 따른 기존 기법과 제안하는 기법의 손실을 나타낸다. 제안하는 기법의 O-클램핑 구간은 클램핑 구간 감소로 인해 추가적인 스위칭 손실을 유발하지만, 해당 구간은 상전류의 크기가 비교적 작은 zero-crossing 부근이다. 또한, 상전류의 크기가 최대인  $P_{clamp}$ ,  $N_{clamp}$ 구간은 기존 기법과 동일하게 유지되기 때문에 모든  $M_a$  조건 중에서 스위칭 손실이 최대로 증가하더라도 기존 기법 대비 5% 미만의 차이가 발생한다. 결과적으로 스위칭 손실 감소 효과는 비슷한 수준으로 확보할 수 있음을 알 수 있다.

## 5. 실험

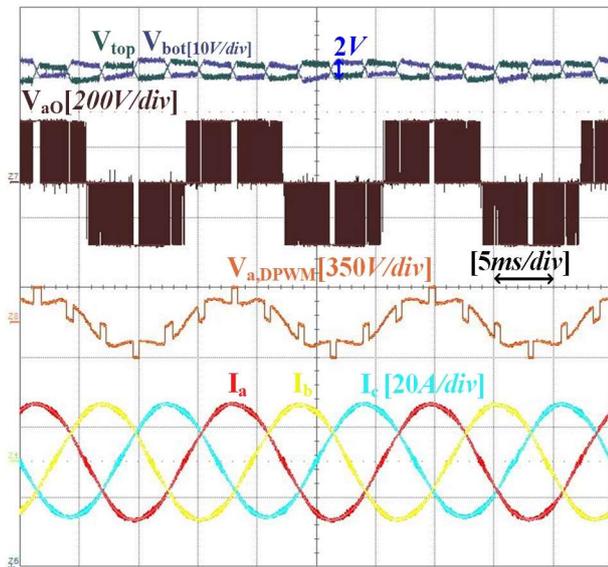
본 장에서는 제안하는 CB-DPWM 기법의 타당성을 실험을 통해 검증한다. 그림 13은 실험 검증을 위한 비엔나 정류기의



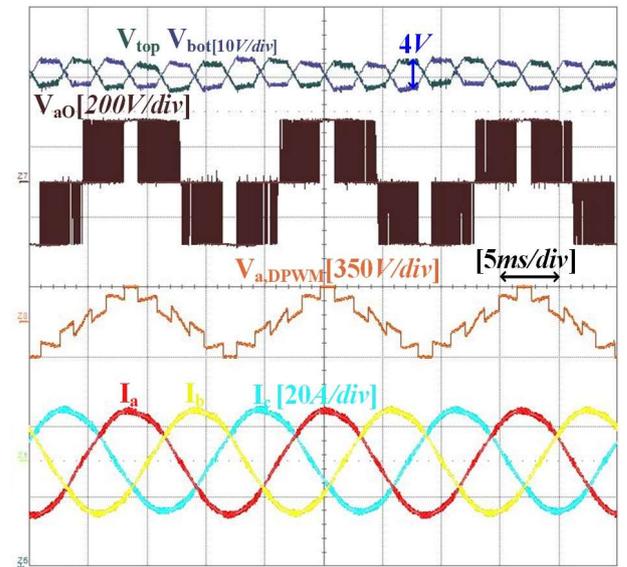
(a)



(a)



(b)



(b)

그림 14  $M_a=0.6$ 인 경우 실험 결과 (a) 기존 기법 적용 시, (b) 제안하는 기법 적용 시.

Fig. 14 Experimental results for  $M_a=0.6$  (a) Conventional method, (b) Proposed method.

그림 15  $M_a=0.7$ 인 경우 실험 결과 (a) 기존 기법 적용 시, (b) 제안하는 기법 적용 시.

Fig. 15 Experimental results for  $M_a=0.7$  (a) Conventional method, (b) Proposed method.

실험 세트이며, 사용한 파라미터는 표 2와 같고 두 가지  $M_a$  조건에 따라 계통 전압을 변경하여 실험을 진행하였다.

그림 14(a), (b)는 계통 전압을 100V<sub>rms</sub>로 변경하여  $M_a$ 가 0.6인 경우 기존 CB-DPWM 기법과 제안하는 CB-DPWM 기법의 실험 결과를 나타낸다. 기존 기법은 오프셋 성분을 인가하여  $I_x$  ( $x=a,b,c$ )의 크기가 가장 큰 구간에서  $V_{a,DPWM,prev}$ 을  $V_{dc}/2$ ,  $-V_{dc}/2$ 로 클램핑한다. 또한, 오프셋 성분으로 인해  $V_{a,DPWM,prev}$ 와  $I_x$ 의 극성이 일치하지 않는 구간에서는  $V_{a,DPWM,prev}$ 를 0으로 클램핑하여 비엔나 정류기의 동작 조건을 만족시킨다. 제안하는 기법을 적용하는 경우 스위칭 손실 저감을 위해 기존 기법에서  $V_{a,DPWM,prev}$ 를  $V_{dc}/2$ 와  $-V_{dc}/2$ 로 클램핑하는 구간은 유지한다.

또한, 상전류 THD를 고려하여  $V_{a,DPWM}$ 을 0으로 클램핑하는 구간은 최소화한다. 이를 통해 클램핑하지 않는 구간에서 중성점 전압 제어를 적용할 수 있으며, 그 결과 중성점 전압의 AC 리플이 7V에서 2V로 감소하는 것을 확인할 수 있다.

그림 15(a)와 (b)는 계통 전압을 90V<sub>rms</sub>로 변경하여 변조 지수  $M_a$ 가 0.7인 경우 기존 기법과 제안한 기법의 실험 결과를 나타내며,  $M_a$ 가 0.6일 때의 결과와 유사한 경향을 보인다. 이때  $M_a$ 가 증가함에 따라 기존 기법에서 전압 지령을 0으로 클램핑하는 구간이 감소하는 것을 확인할 수 있다.

그림 16(a), (b)는  $M_a$ 가 0.6인 경우 기존 기법과 제안하는 기법의 a상 전류의 FFT 결과를 나타낸다. 제안하는 기법에서는

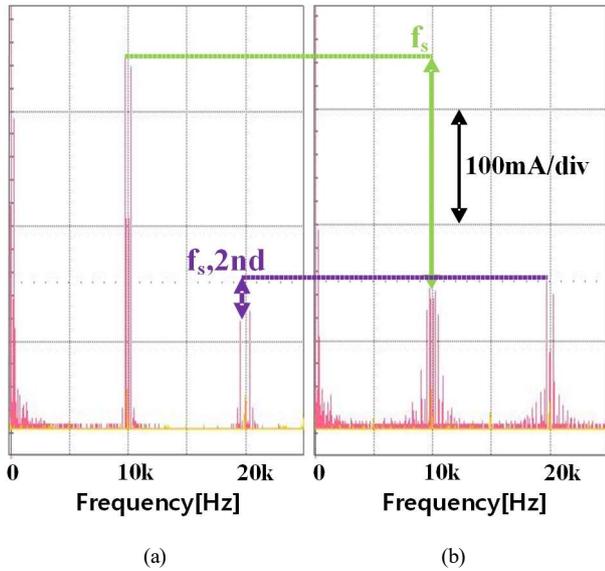


그림 16  $M_a=0.6$ 인 경우  $I_a$ 의 FFT (a) 기존 기법 적용 시, (b) 제안하는 기법 적용 시.

Fig. 16 FFT results of  $I_a$  for  $M_a=0.6$  (a) Conventional method, (b) Proposed method.

클램핑 구간을 최소화하고, 추가적인 중성점 전압 제어를 통해 중성점 전압의 AC 리플을 저감함으로써, 저차고조파 성분과 스위칭 주파수 대역의 고조파 성분이 모두 감소하는 것을 확인 할 수 있다.

## 6. 결론

본 논문에서는 상전류 THD 저감을 위한 개선된 CB-DPWM 기법을 제안하였다. 제안하는 기법은 전압 지령을  $V_{dc}/2$  및  $-V_{dc}/2$ 로 클램핑하는 구간을 유지하면서, 0으로 클램핑하는 구간을 최소화한다. 또한, 전압 지령을 클램핑하지 않는 구간에서는 추가적인 중성점 전압 제어를 적용하여 커패시터의 리플 전류를 줄임으로써 커패시터의 크기를 감소시키고, 수명을 연장할 수 있다. 결과적으로, 스위칭 주파수 대역의 고조파를 저감하여 상전류 THD를 개선하고, 동시에 스위칭 손실 저감의 효과를 확보할 수 있다. 제안하는 기법의 타당성은 시뮬레이션으로 얻은  $M_a$ 에 따른 손실 및 상전류 THD 그래프와 실험을 통한 상전류 FFT 결과를 통해 검증하였다.

### Acknowledgements

본 연구는 국토교통부 및 국토교통과학기술진흥원의 지원으로 수행되었음(과제번호 RS-2024-00417481).

### References

- [1] T. B. Soeiro, and I. W. Kolar, "Analysis of High-Efficiency Three-Phase Two- and Three-Level Unidirectional Hybrid Rectifiers," in IEEE Transactions on Industrial Electronics, vol. 60, no. 9, pp. 3589-3601, Sept. 2013. DOI: 10.1109/TIE.2012.2205358.
- [2] W. Ding, C. Zhang, F. Gao, B. Duan, and H. Qiu, "A zero-sequence component injection modulation method with compensation for current harmonic mitigation of a Vienna rectifier," IEEE Trans. Power Electron, vol. 34, no. 1, pp. 801-814, Jan. 2019. DOI: 10.1109/TPEL.2018.2812810.
- [3] Wu, W., Liu, X. & Huang, C., "A DC Charging Pile for New Energy Electric Vehicles," J. Electr. Eng. Technol., vol. 18, pp. 4301-4319, 2023. DOI: 10.1007/s42835-023-01497-w.
- [4] A. S. Satpathy, D. Kastha, and N. K. Kishore, "Vienna Rectifier-Fed Squirrel Cage Induction Generator Based Stand-Alone Wind Energy Conversion System," in IEEE Transactions on Power Electronics, vol. 36, no. 9, pp. 10186-10198, Sept. 2021. DOI: 10.1109/TPEL.2021.3062694.
- [5] D. Reddy, and S. Ramasamy, "Design of RBFN Controller Based Boost Type Vienna Rectifier for Grid-Tied Wind Energy Conversion System," in IEEE Access, vol. 6, pp. 3167-3175, Jan. 2018. DOI: 10.1109/ACCESS.2017.2787567.
- [6] J. Lee, K. Lee, and F. Blaabjerg, "Predictive Control With Discrete Space-Vector Modulation of Vienna Rectifier for Driving PMSG of Wind Turbine Systems," in IEEE Transactions on Power Electronics, vol. 34, no. 12, pp. 12368-12383, Dec. 2019. DOI: 10.1109/TPEL.2019.2905843.
- [7] Brenna, M., Foadelli, F., Leone, C. et al., "Electric Vehicles Charging Technology Review and Optimal Size Estimation," J. Electr. Eng. Technol., vol. 15, pp. 2539-2552, 2020. DOI: 10.1007/s42835-020-00547-x.
- [8] L. Zhang et al., "A Modified DPWM With Neutral Point Voltage Balance Capability for Three-Phase Vienna Rectifiers," in IEEE Transactions on Power Electronics, vol. 36, no. 1, pp. 263-273, Jan. 2021. DOI: 10.1109/TPEL.2020.3002660.
- [9] Y. Zou et al., "Dynamic-Space-Vector Discontinuous PWM for Three-Phase Vienna Rectifiers With Unbalanced Neutral-Point Voltage," in IEEE Transactions on Power Electronics, vol. 36, no. 8, pp. 9015-9026, Aug. 2021. DOI: 10.1109/TPEL.2021.3057120.
- [10] Y. Pei, Y. Tang, M. Hu, Z. Zhang, and F. Yao, "Switching Loss-Reduced Space-Vector DPWM for Three-Phase Vienna Rectifier Considering Neutral-Point Voltage Fluctuation," in IEEE Transactions on Power Electronics, vol. 39, no. 12, pp. 16231-16241, Dec. 2024. DOI: 10.1109/TPEL.2024.3446630.
- [11] J. -S. Lee, and K. -B. Lee, "Carrier-Based Discontinuous PWM Method for Vienna Rectifiers," in IEEE Transactions on Power Electronics, vol. 30, no. 6, pp. 2896-2900, June

## 저자소개

2015.

DOI: 10.1109/TPEL.2014.2365014.

- [12] Y. Pei, Y. Tang, H. Xu, Z. Shi, and L. Ge, "Optimized Carrier-Based Discontinuous PWM Without Regulating NP Voltage for Three-Level Vienna Rectifier," in *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 12, no. 1, pp. 107-117, Feb. 2024. DOI: 10.1109/JESTPE.2023.3322836.
- [13] J. -S. Lee, and K. -B. Lee, "Performance Analysis of Carrier-Based Discontinuous PWM Method for Vienna Rectifiers With Neutral-Point Voltage Balance," in *IEEE Transactions on Power Electronics*, vol. 31, no. 6, pp. 4075-4084, June 2016. DOI: 10.1109/TPEL.2015.2477828.
- [14] Y. Ming et al., "A Hybrid Carrier-Based DPWM With Controllable NP Voltage for Three-Phase Vienna Rectifiers," in *IEEE Transactions on Transportation Electrification*, vol. 8, no. 2, pp. 1874-1884, June 2022. DOI: 10.1109/TTE.2021.3129778.
- [15] Z. Zhang et al., "Optimized Carrier-Based DPWM Strategy Adopting Self-Adjusted Redundant Clamping Modes for Vienna Rectifiers With Unbalanced DC Links," in *IEEE Transactions on Power Electronics*, vol. 38, no. 2, pp. 1622-1634, Feb. 2023. DOI: 10.1109/TPEL.2022.3212072.
- [16] Z. Zhang, O. C. Thomsen and M. A. E. Andersen, "Discontinuous PWM Modulation Strategy With Circuit-Level Decoupling Concept of Three-Level Neutral-Point-Clamped (NPC) Inverter," in *IEEE Transactions on Industrial Electronics*, vol. 60, no. 5, pp. 1897-1906, May 2013. DOI: 10.1109/TIE.2012.2227901.
- [17] Lee, J.-Y., Lee, J.-S., "An Improved Zero-Current Distortion Compensation Method for the Soft-Start of the Vienna Rectifier," *Electronics*, vol. 13, no. 10, pp. 1806, 2024. DOI: 10.3390/electronics13101806.
- [18] Go, Y.M., Lee, J.S., "Offset voltage injection method for neutral-point AC voltage ripple suppression in Vienna rectifiers," *J. Power Electron*, vol 23, no. 9, pp. 1400 - 1410, 2023. DOI: 10.1007/s43236-023-00657-5.
- [19] R. Lai, F. Wang, R. Burgos, D. Boroyevich, D. Jiang, and D. Zhang, "Average Modeling and Control Design for VIENNA-Type Rectifiers Considering the DC-Link Voltage Balance," in *IEEE Transactions on Power Electronics*, vol. 24, no. 11, pp. 2509-2522, Nov. 2009. DOI: 10.1109/TPEL.2009.2032262.
- [20] J. -S. Lee, and K. -B. Lee, "Time-Offset Injection Method for Neutral-Point AC Ripple Voltage Reduction in a Three-Level Inverter," in *IEEE Transactions on Power Electronics*, vol. 31, no. 3, pp. 1931-1941, March 2016. DOI: 10.1109/TPEL.2015.2439689.

**김민성(Minseong Kim)**

He received the B.S. degree in electrical and electronic engineering from Dankook University, Yongin, South Korea, in 2024. Since 2024, he has been an M.S. student at Dankook University. His research interest include power quality improvement, grid-connected systems, and multi-level converter.

**이주연(Juyeon Lee)**

She received B.S., and M.S. degrees in the School of Electronics and Electrical Engineering from Dankook University, Yongin, South Korea, in 2023. She is currently working toward her Ph.D. degree in the School of Electronics and Electrical Engineering, Dankook University, Yongin, South Korea. Her research interests include power quality improvement, grid-connected systems, and multi-level converter.

**이준석(June-Seok Lee)**

He received the B.S., M.S., and Ph.D. degrees in electrical and computer engineering from Ajou University, Suwon, South Korea, in 2011, 2013, and 2015, respectively. From 2015 to 2020, he was a Senior Researcher with the Propulsion System Research Team, Korea Railroad Research Institute, Uiwang, South Korea. In 2020, he joined the School of Electronics and Electrical Engineering, Dankook University, Yongin, South Korea. His research interests include high-power electric machine drives, grid-connected systems, multilevel inverter, and reliability.